



SİİRT ÜNİVERSİTESİ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ BÖLÜMÜ

LOJİK DEVRE LABORATUVARI

DENEY FÖYÜ

Eylül- 2018

LABORATUVAR HAKKINDA GEREKLİ BİLGİLER ve UYARILAR

1. Deneyler, belirtilen deney saatlerinde C- Bloкта bulunan **Kontrol ve Lojik Laboratuvarında** gerçekleştirilecektir.
2. Deney grupları, bölüm web sitesinde (eem.siirt.edu.tr) belirtilen güne kadar görevli asistana, 3 kişi olacak şekilde isim yazdırarak oluşturulmalıdır.
3. Her öğrenci kendi deney föyünü ve entegre bilgilerinin yer aldığı kataloğu derse gelirken getirmek zorundadır. Deney föyü ve katalog bilgisi bölüm web-sitesinde (eem.siirt.edu.tr) bulunabilir.
4. Deney Föyü ve katalog bilgisi olmadan derse gelen öğrenci derse alınmayacaktır.
5. Toplam 7 deney yaptırılacaktır.
6. Deney sırasında, yaptıkları her bir devreyi ders sorumlularına gösterdikten sonra, öğrenciler bir sonraki adıma geçeceklerdir.
7. Öğrenciler, en fazla 1 (bir) deneye gelmeme hakkına sahiptir. Aksi takdirde laboratuvar notunun derse etkisi 0 (sıfır) olarak yansıtacaktır.
8. Her deney öncesi mini sınavlar yapılacağı için, deney föyü mutlaka okunarak ve anlayarak gelinmelidir.
9. Deneyini bitiren her grup, deney sonuçlarını yazdıkları Deney Veri Kâğıdını, ders bitimine kadar sorumluya vermelidir.
10. Deneye **5** dakikadan fazla geç kalan öğrenciler derse alınmayacaktır.
11. Deney süresince her grup kendi masasında bulunacaktır. Başka deney masalarına gidip gelen öğrenciler görevli asistan tarafından laboratuvardan uzaklaştırılarak deneyi yok sayılacaktır.
12. Deney sonunda her grup, kullandıkları malzemeleri, tekrar yerine koymalı, deney ekipmanlarını temiz ve düzenli bir şekilde yerleştirdikten sonra masadan ayrılmalıdır.
13. Laboratuvarda alınan o haftaki puanlar, bir sonraki hafta bölüm sitesinden ilan edilecektir.
14. **Laboratuvar notu** aşağıdaki notlar için belirlenen yüzdelerin toplamından oluşacaktır.

✓ **Deney Öncesi Quiz Notu : %30'u**

✓ **Deney Performans Notu : %50'si**

✓ **Deney Veri Kâğıdı Notu : %20'si alınarak oluşturulacaktır.**

13. Laboratuvar notunun yazılı **VİZE** ve **FİNAL** notuna etkisi:

Vize Notu = (Vize yazılı sınavı Notu)*0.7 + (Vize sınavına kadarki Laboratuvar Notu)* 0.3

Final Notu = (Final yazılı sınavı Notu) *0.7 + (Vize sınavından sonraki Laboratuvar Notu)*0.3

1. DENEY

LOJİK KAPI DEVRELERİ

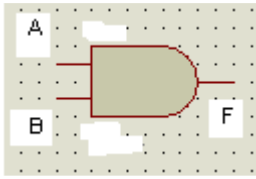
A) Genel Bilgiler

Lojik devreler (Sayısal sistemler) bole cebri matematiğine göre çalışırılar. Bu tür sistemlerde girişler ve çıkışlar iki farklı duruma sahip olabilir. Yani bütün lojik kapı ve devrelerde ikili sayı sistemi kullanılır.

Temel olarak üç lojik temel kapı devresi mevcuttur. VE (AND), VEYA (OR) ve DEĞİL (NOT) olarak isimlendirilen bu temel lojik kapı devreleri diyot ve transistörlerle oluşturulabilir. Ayrıca bu üç temel kapı devreleri kullanılarak VE DEĞİL(NOR), VEYA DEĞİL(NANAD) ve ÖZELVEYA (EXOR) kapıları oluşturulabilir.

1. VE (AND) KAPISI:

VE kapı devresinin sembolü ve doğruluk tablosu Şekil 1.1’de görölmektedir. Bu doğruluk tablosunu sağlayacak birçok değişik VE kapı devresi vardır.



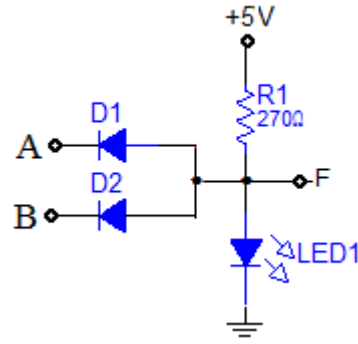
Şekil 1.1. VE kapısı gösterimi

Girişler		Çıkış
A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

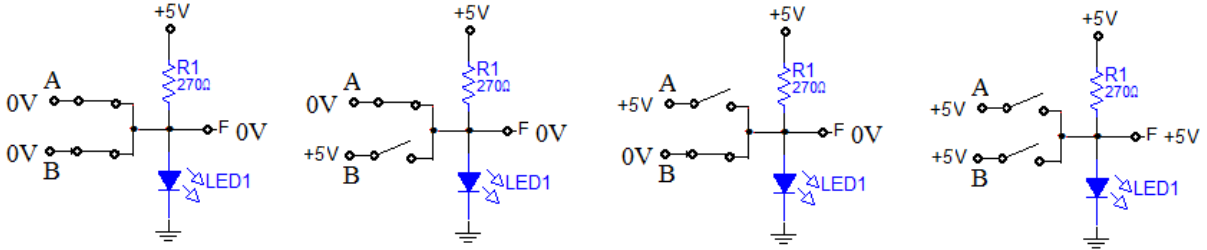
Tablo1.1 VE Kapısı Doğruluk Tablosu

a-)Diyot ile VE Kapı Devresi:

Şekil 1.2.a daki diyotlu kapı devresinde A ve B girişleri lojik 0 (0V) olduğunda D1 ve D2 diyotlarının her ikisi de ileri yönde kutuplanacağından dolayı F çıkışında sadece 0.6 V göröülecektir. Bu potansiyel farkta lojik 0 olarak değeriendirilecektir. Girişlerden bir tanesi lojik 0 (0V) , diğeri lojik 1(+5V) olduğunda da durum değışmeyecektir. Çünkü bu durumda paralel bağıli diyotlardan biri iletim, diğeri ise kesimdedir. Bu devrede her iki giriş lojik 1 (+5V) olduğunda, diyotlar ters kutuplanmış olacak ve besleme voltajı doğrudan F çıkışında göröülecektir.F çıkışında +5 V gerilimi ölçöüleceğinden çıkış lojik 1 olarak değeriendirilecektir. Şekil 1.2.b de yukarıda bahsedilen değışik giriş gerilimleri için çıkış gerilimleri verilmiştir.



a) Diyot ile VE Kapı Devresi

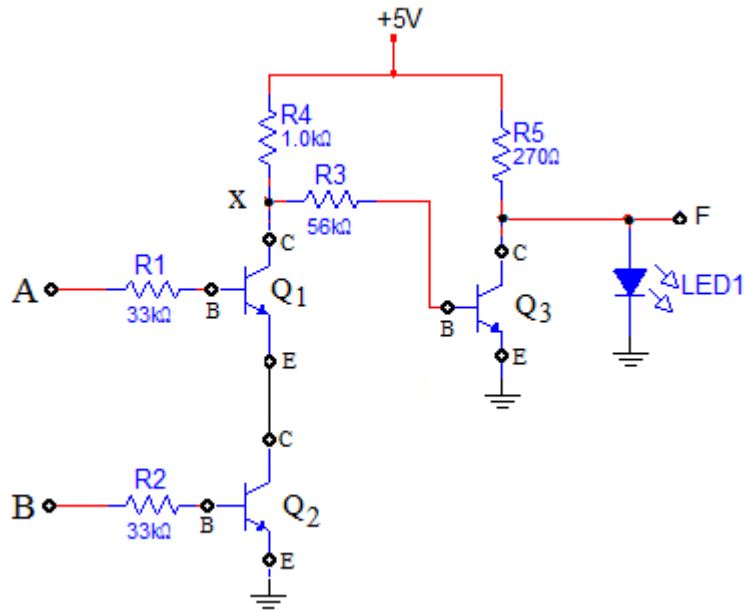


b) Farklı girişler için çıkış gerilimleri (0V=Lojik 0, +5V=Lojik1

Şekil 1.2. Diyotlu VE Kapı devresi

b-)Transistörlü VE Kapı Devresi:

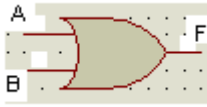
Şekil 1.3 deki devrede, girişlerden her ikisinde lojik 0 (0V) olduğunda Q_1 ve Q_2 transistörleri kesim durumunda olacaktır. Transistörün kesim durumunda olması; V_{BE} geriliminin 0V olması sonucu, Baz (B) girişinden transistörü iletme sokacak μA düzeyinde akımın akmaması sonucunda transistörün Kollektör (C)-Emiter (E) uçlarının açık devre olmasıdır. Bu durumda transistör kapalı bir anahtar gibi davranır. Böylece Q_1 ve Q_2 transistörlerinin kesimde olması sonucunda X noktasında V_{CC} gerilimi görülecek ve bu gerilim ise çıkıştaki Q_3 transistörü iletme geçecektir. İletime geçme durumu; V_{BE} geriliminin 0.6V veya daha büyük olması sonucu, Baz (B) girişinden transistörü iletme sokacak μA düzeyinde akımın akması sonucunda transistörün Kollektör (C)-Emiter (E) uçlarının kısa devre olmasıdır. Bunun sonucunda Q_3 transistörünün kolektör çıkışı olan F lojik 0 (0V) olacaktır. Girişlerden her ikisi de lojik 1 (+5V) olduğunda Q_1 ve Q_2 transistörlerinin her ikisi de iletim durumundadır ve X noktası seri bağlı Q_1 ve Q_2 transistörlerinin kısa devre olan C-E uçları üzerinden 0V a bağlanmış olacaktır. Bu durumda ise çıkıştaki Q_3 transistörü Baz girişinden akım akmayacağından dolayı kesim durumuna geçecektir ve F çıkışı Lojik 1 (+5V) olacaktır.



Şekil1.3 Transistör ile VE Kapı Devresi

2. VEYA (OR) KAPISI:

VEYA kapı devresinin sembolü ve doğruluk tablosu Şekil 1.4’de görülmektedir. Bu doğruluk tablosunu sağlayacak değişik VEYA kapı devresi vardır.



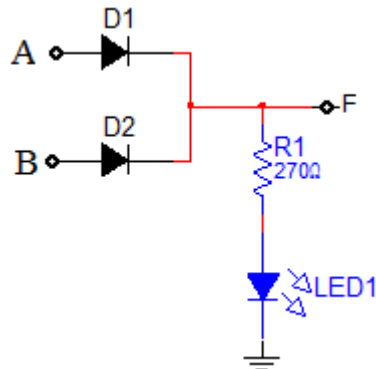
Şekil 1.4 VEYA kapısı gösterimi

Girişler		Çıkış
A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

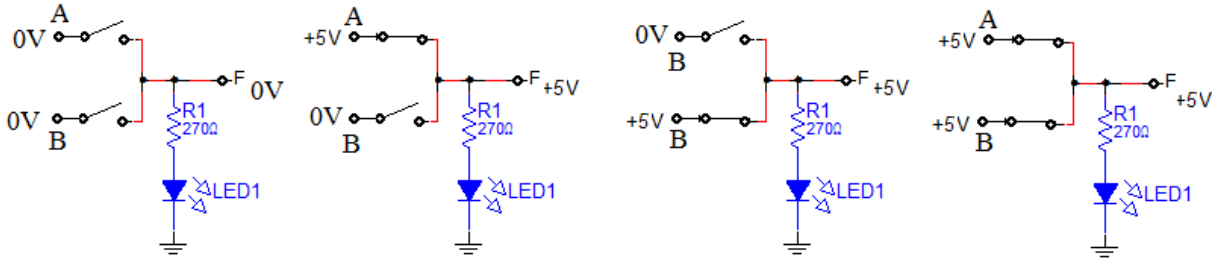
Tablo1.2 VEYA Kapısı Doğruluk Tablosu

a-) Diyot ile VEYA Kapı Devresi:

Şekil 1.5.a daki diyotlu kapı devresinde A ve B girişleri lojik 0 (0V) olduğunda D1 ve D2 diyotlarının her ikisinin de girişleri 0V olacağından F çıkışında Lojik 0 (0V) olacaktır. Girişlerden herhangi bir tanesi veya her ikisi lojik 1 (+5V) olduğunda ise gerilim uygulanan diyot/veya diyotlar ileri yönde kutuplanacağından kısa devre olacak ve F çıkışı Lojik 1(+5V) olacaktır.



a) Diyot ile VEYA kapı devresi



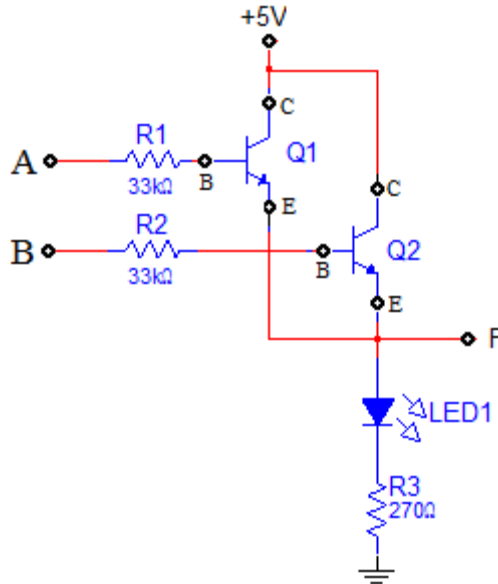
a) Farklı girişler için çıkış gerilimleri (0V=Lojik 0, +5V=Lojik1)

Şekil 1.5. Diyotlu VEYA Kapı devresi

b-)Transistör ile VEYA Kapı Devresi:

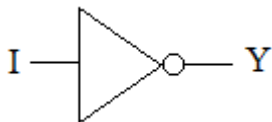
Şekil 1.6 daki devrede, girişlerden her ikisi de lojik 0 (0V) olduğunda Q_1 ve Q_2 transistörleri kesim durumunda olacaktır. Böylece F çıkışına +5V uygulanamayacağından F çıkışı Lojik 0 (0V) olacaktır.

Devre girişlerinden herhangi biri/veya her ikisi lojik 1 (+5V) olduğunda Q_1 ve Q_2 transistörlerinin herhangi biri/veya her ikisi iletim durumunda olacaktır. Böylece F çıkışına +5V uygulanacağından F çıkışı Lojik 1 (+5V) olacaktır.



Şekil1.6 Transistörlü VEYA Kapı Devresi

3. DEĞİL (NOT) KAPISI:



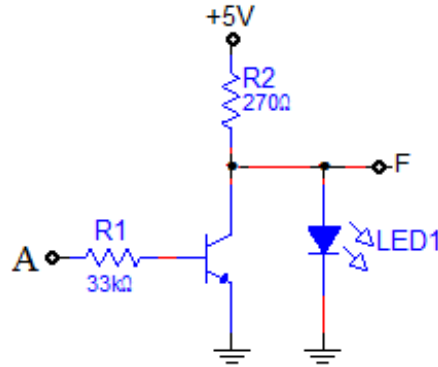
Şekil1.7 DEĞİL Kapı gösterimi

I	Y
0	1
1	0

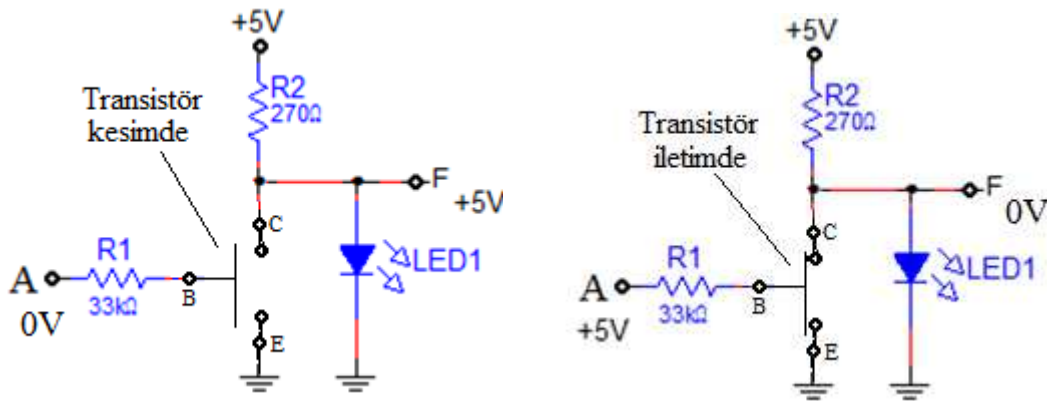
Tablo1.3 DEĞİL Kapısı Doğruluk Tablosu

Girişine uygulanan lojik 0 işaretini çıkışa lojik 1, lojik 1 işaretini ise çıkışa lojik 0 olarak aktaran devrelere DEĞİL kapısı denir. Şekil 1.8’de transistor ile gerçekleştirilmiş DEĞİL kapısı devresi görülmektedir. Bu

devrede girişe lojik 0 (0V) uygulandığında transistor kesimdedir ve F çıkışında +5V (Lojik 1) görülür. Girişe +5V (lojik 1) uygulandığında ise transistor iletimdedir ve F çıkışında 0V (Lojik 0) görülür.



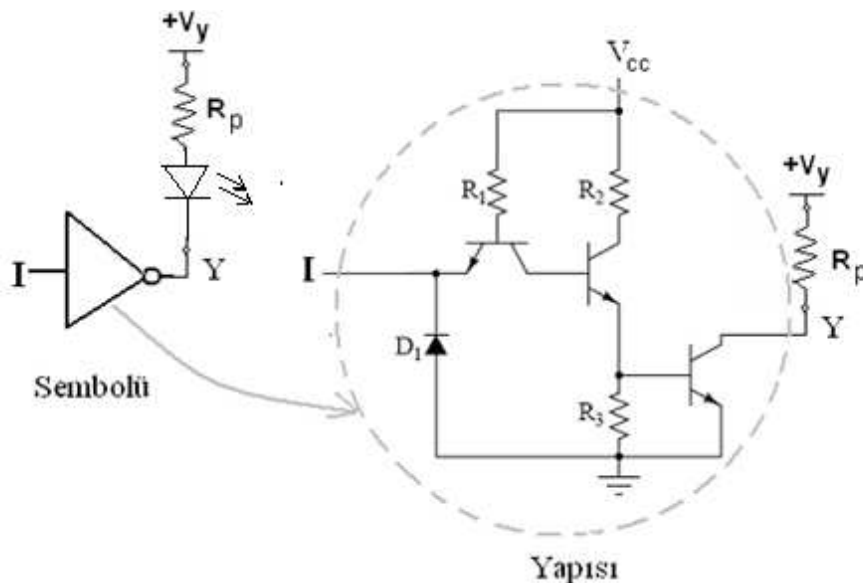
a) Transistörlü DEĞİL Kapı Devresi



b) Farklı girişler için çıkış gerilimleri (0V=Lojik 0, +5V=Lojik1)
Şekil 1.8 Transistörlü DEĞİL Kapı Devresi

4- Open (Açık) kolektör çıkışlı ve Üç durum (Three state) (3 durum) çıkışlı Değil kapıları ve Bufferler

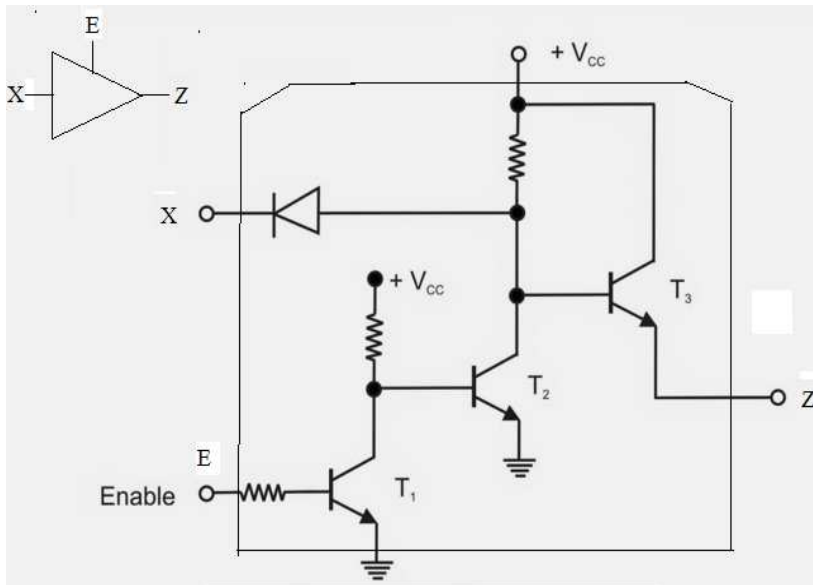
Uygulamada değişik kapı devrelerinin kullanım kolaylığı amacıyla üç farklı çıkışta üretilmektedirler. Bu çıkış türleri lojik devreler dersinde ayrıntılı olarak verilmiştir. Aşağıda uygulamada yaygın olarak kullanılan açık kolektörlü değil kapısı çıkış ve üç durumlu buffer devre diyagramları verilmiştir.



GİRİŞ (I)	ÇIKIŞ (Y)	LED
0	1	Sönük
1	0	Yanık

Tablo 1.4

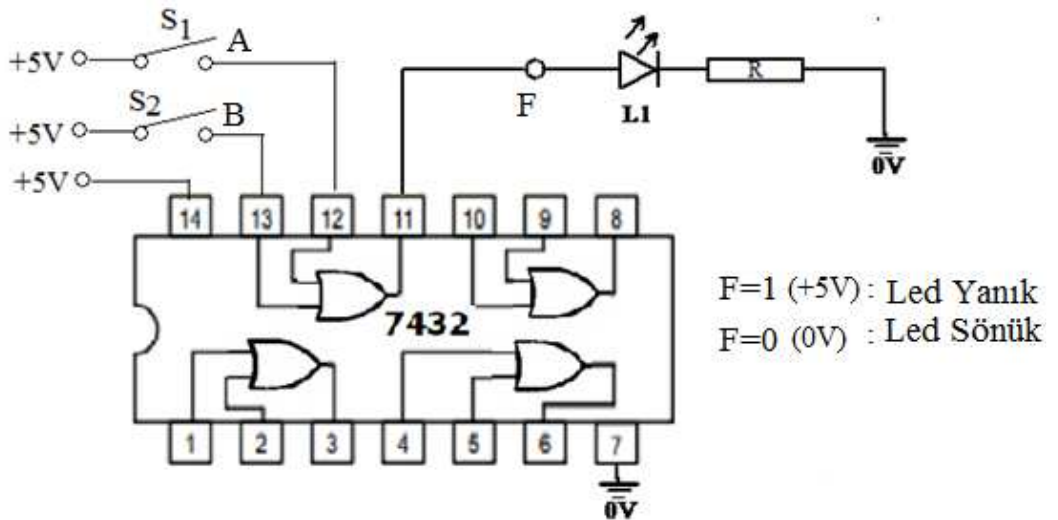
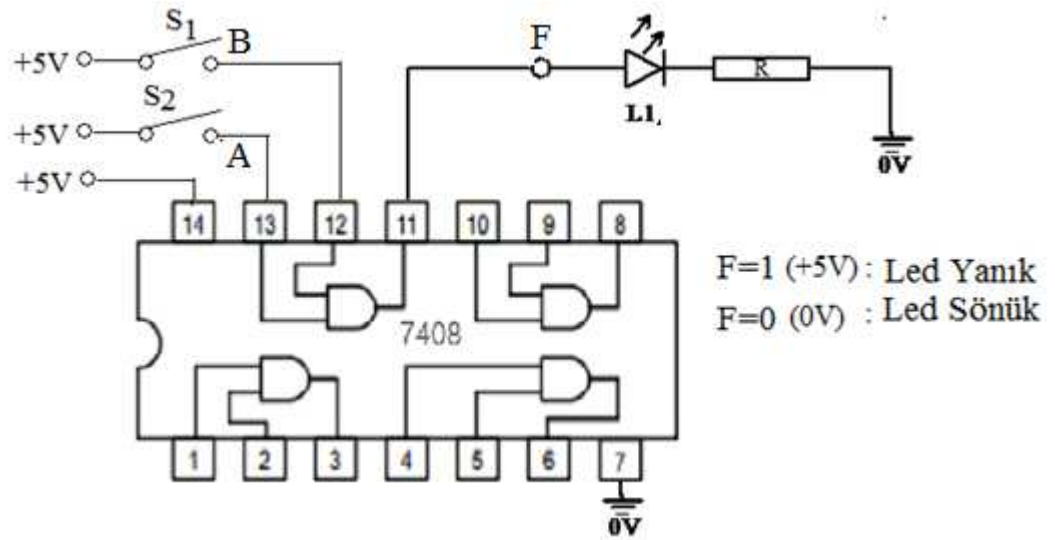
Şekil 1.9 AÇIK KOLLEKTÖR (Open Collector) çıkışlı kapı devreleri

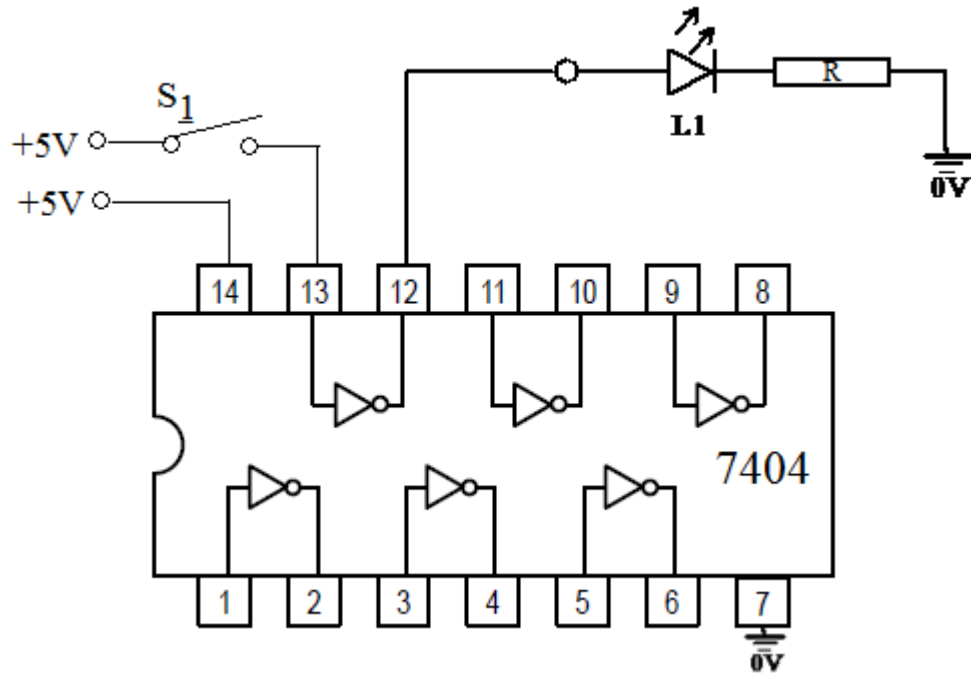


E	X	Y
0	1	HZ
0	0	HZ
1	0	0
1	1	1

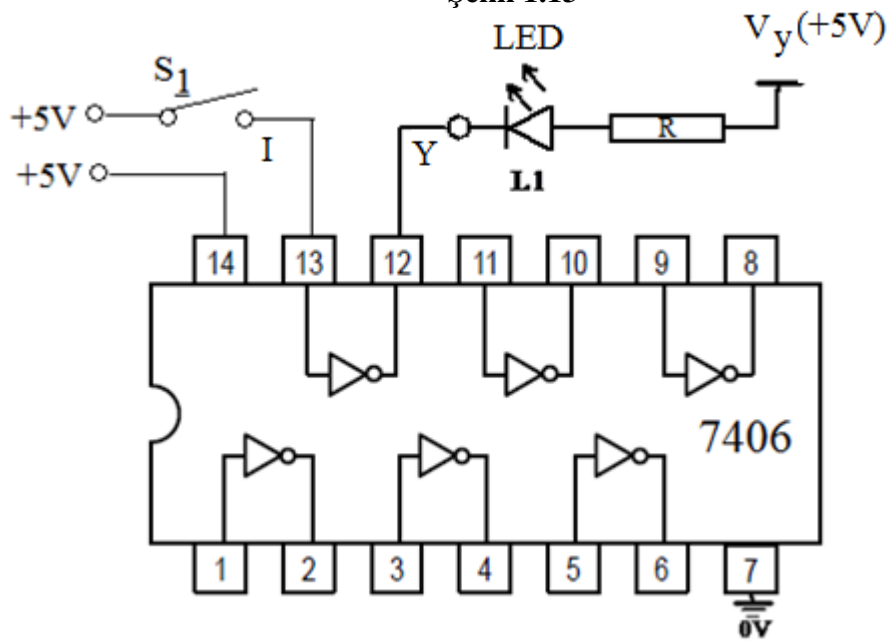
B) Deney Öncesi Hazırlık

4. a) 6 adet açık kolektör çıkışlı DEĞİL kapısına sahip olan 7406 entegresini kullanarak şekil 1.14'deki devreyi kurunuz. Devrenin I girişlerine lojik 0 (0V) ve Lojik 1 (+5V) uygulayarak aşağıdaki Tablo 1.9' u doldurunuz. Deneysel sonuçlar ile elde ettiğiniz Tablo 1.9 ile teorik olarak elde ettiğiniz Tablo 1.4'ü karşılaştırınız.
- b) Şekil 1.14'deki devrede yük direncini V_y (+5V) yerine 0V'a bağlayarak normal kapı çıkışı ölçümü ile, aynı deneyi tekrarlayınız. Doğru sonuçları elde edemeyişinizi yorumlayınız.
5. 74126 entegresini kullanarak şekil 1.15'deki devreyi kurunuz. Devrenin E ve X girişlerine aşağıdaki tablodaki lojik değerleri uygulayarak Y çıkışını gözlemleyerek Tablo 1.10'u doldurunuz. Deneysel sonuçlar ile elde ettiğiniz Tablo 1.10 ile teorik olarak elde ettiğiniz Tablo 1.5'i karşılaştırınız.

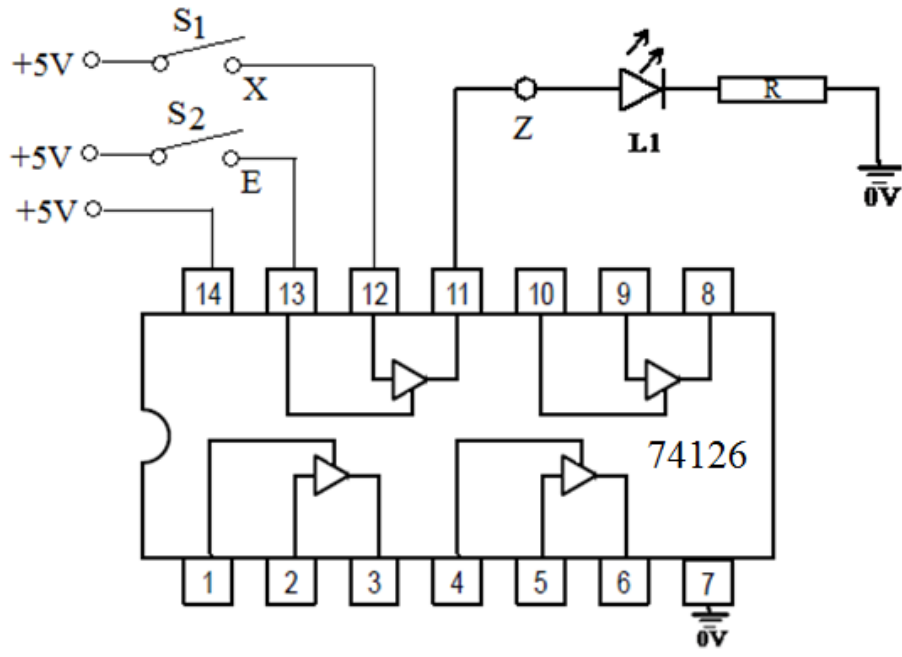




Şekil 1.13



Şekil 1.14



Şekil 1.15

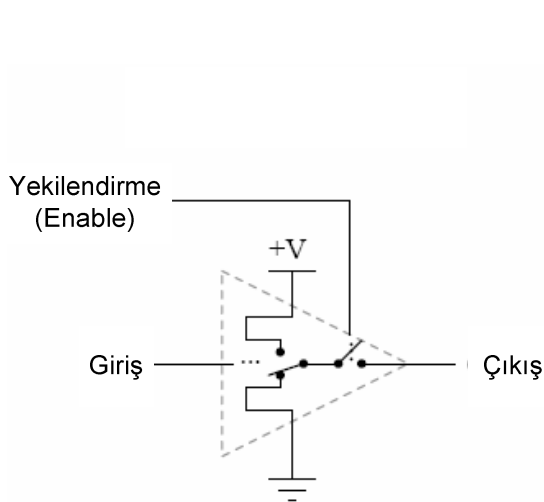
2. DENEY

ORTAK YOL KULLANIMI

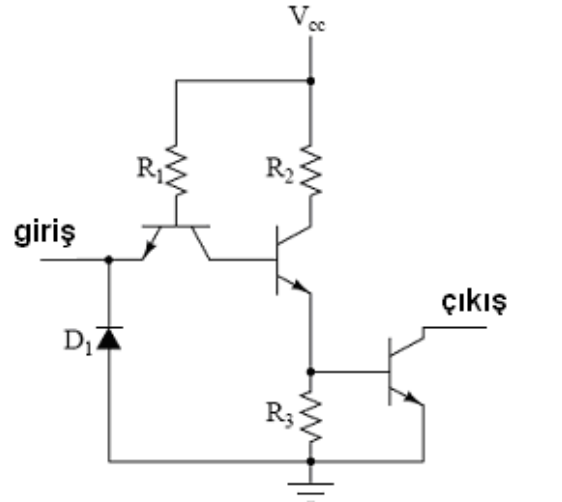
A) Genel bilgiler

Karmaşık bir Lojik devre birçok eleman içerir ve bu elemanların birbirleriyle olan bağlantısını sağlamak kolay olmayabilir. Çünkü birinin çıkışı diğerlerinin girişlerine bağlanacaktır. Bu şekilde bir çok bağlantı hattı olacaktır. Bağlantı hattı sayısını azaltmak ve tasarım esnekliğini sağlamak için Lojik birimlerin çıkışı ortak yola bağlanacak şekilde tasarlanabilir. Böylece, birimler arasında ortak bir yol (common bus) olur ve birimler arasındaki veri iletişimi ortak yolun paylaşılmasıyla sağlanır. Herhangi bir anda yolu bir birim kullanırken, aynı yola bağlı bulunan diğer birimler ya giriş durumunda yada bekleme (pasif) durumunda kalır. Birim olarak adlandırdığımız birçok özel kombinasyonel tümdevreler, çıkışlarını aktif veya pasif hale getiren yetkilendirme (enable) giriş veya girişlerine sahiptirler. Bu girişler sayesinde istenildiği zaman birim çıkışları ortak yola bağlanabilir. Yine yetkilendirme girişlerine sahip olan çoğullayıcı (MUX), kodlayıcı (ENCODER) vb. gibi özel kombinasyonel devrelerin giriş/çıkış sayısı artırılabilir. Örneğin 1 adet yetkilendirme girişine sahip olan 4X1 MUX devresinden 2 adet kullanarak 8X1 MUX devresi elde edilebilir.

Lojik birimlerin ortak yola bağlanabilmesi **Açık kolektör** ve **üç durum çıkışlı** Lojik kapıların kullanımı ile gerçekleştirilir. Aşağıda üç durumlu (Tri-State) bir tampon (buffer)'un şematik gösterimi ve açık kolektör çıkışlı bir TTL değil kapısının devre diyagramı verilmiştir.



(a) Üç durum çıkışlı buffer

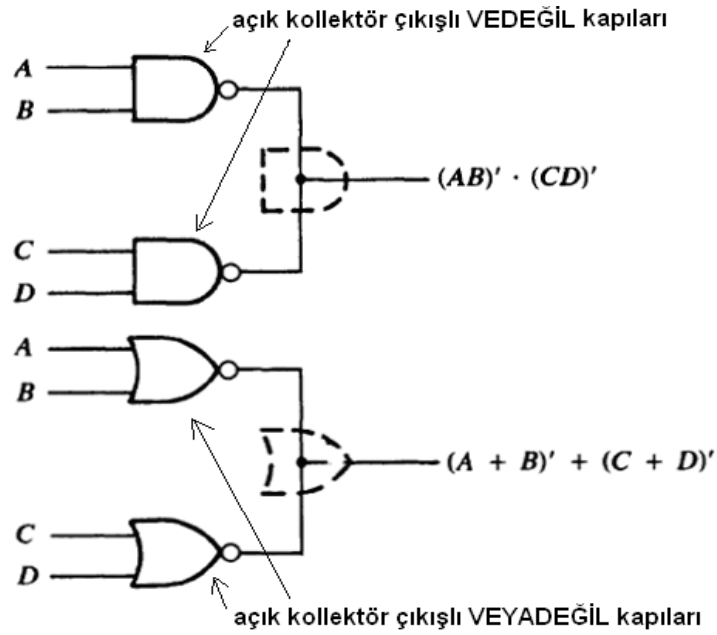


(b) Açık kolektör çıkışlı DEĞİL kapısı

Şekil 2.1 Üç durumlu (Tri-State) ve açık kolektörlü çıkışlar

Kapı çıkışlarının doğrudan birbirine bağlanması:

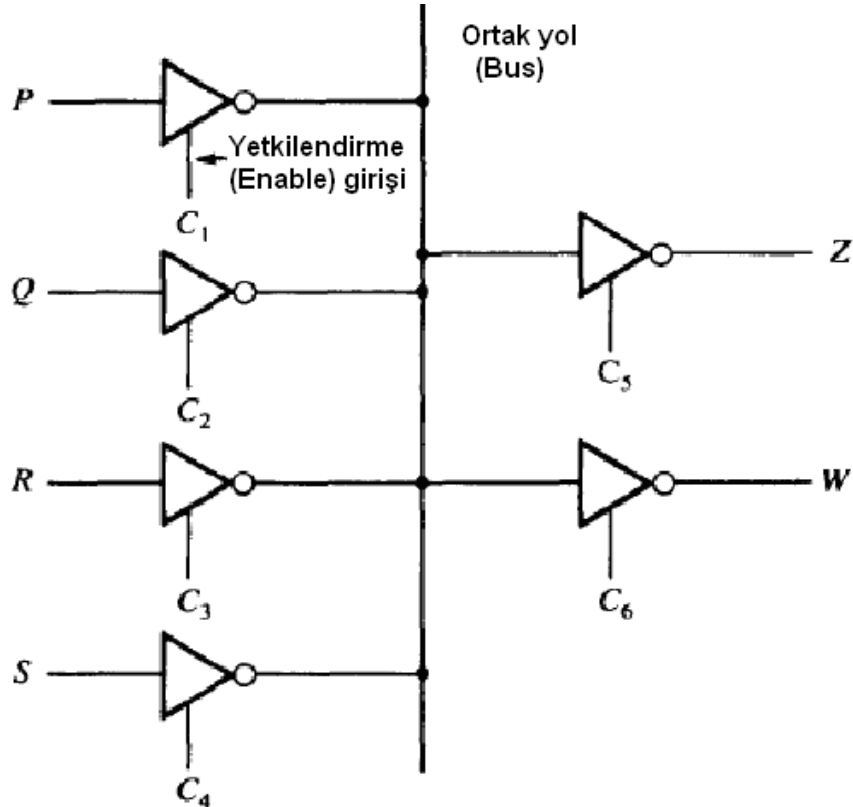
Açık kolektör çıkışlı VEDEĞİL veya VEYADEĞİL kapı çıkışları AND ve OR bağlaçlarını kullanmadan direkt olarak birbirine bağlanabilir. Bu tür bağlantıya ilişkin örnekler aşağıda verilmiştir.



Şekil 2.2 Bağlaç kullanmaksızın VE ve VEYA işlemleri

Ortak yol (Bus) kullanımı:

Birden çok kapı veya sayısal cihazlar ortak olarak kullanacakları yola (Bus), açık kolektör veya üç durumlu çıkışlar üzerinden bağlanırlar. Böylece sözkonusu kapı veya sayısal cihazlar tarafından ortak yola veri gönderilebilir. Şekil 2.3'de üç durumlu değil kapılarının kullanıldığı bir ortak yol verilmiştir. Şekil 2.3'de $Z = P$ için; $C_1=C_5=1$, $C_2=C_3=C_4=C_6=0$ olmalıdır. $Z=W=S$ için ise; $C_4=C_5=C_6=1$, $C_1=C_2=C_3=0$ olmalıdır.



Şekil 2.3. 3 durumlu değil kapılarını kullanan ortak yol

B) Deney Öncesi Hazırlıklar

- 1) Ortak yol kullanımını sağlayan 3-durumlu çıkışları ve açık kolektörlü çıkışları inceleyiniz.
- 2) Bir adet yetkilendirme girişine sahip olan 4X1 MUX devresinden 2 tanesini kullanarak 8X1 MUX devresini (74153) gerçekleştiriniz.
- 3) 2 adet yetkilendirme girişine sahip olan 1X2 DEMUX devresinden yeterli sayıda kullanarak en fazla kaç çıkışlı DEMUX devresi elde edilebilir? Çiziniz.

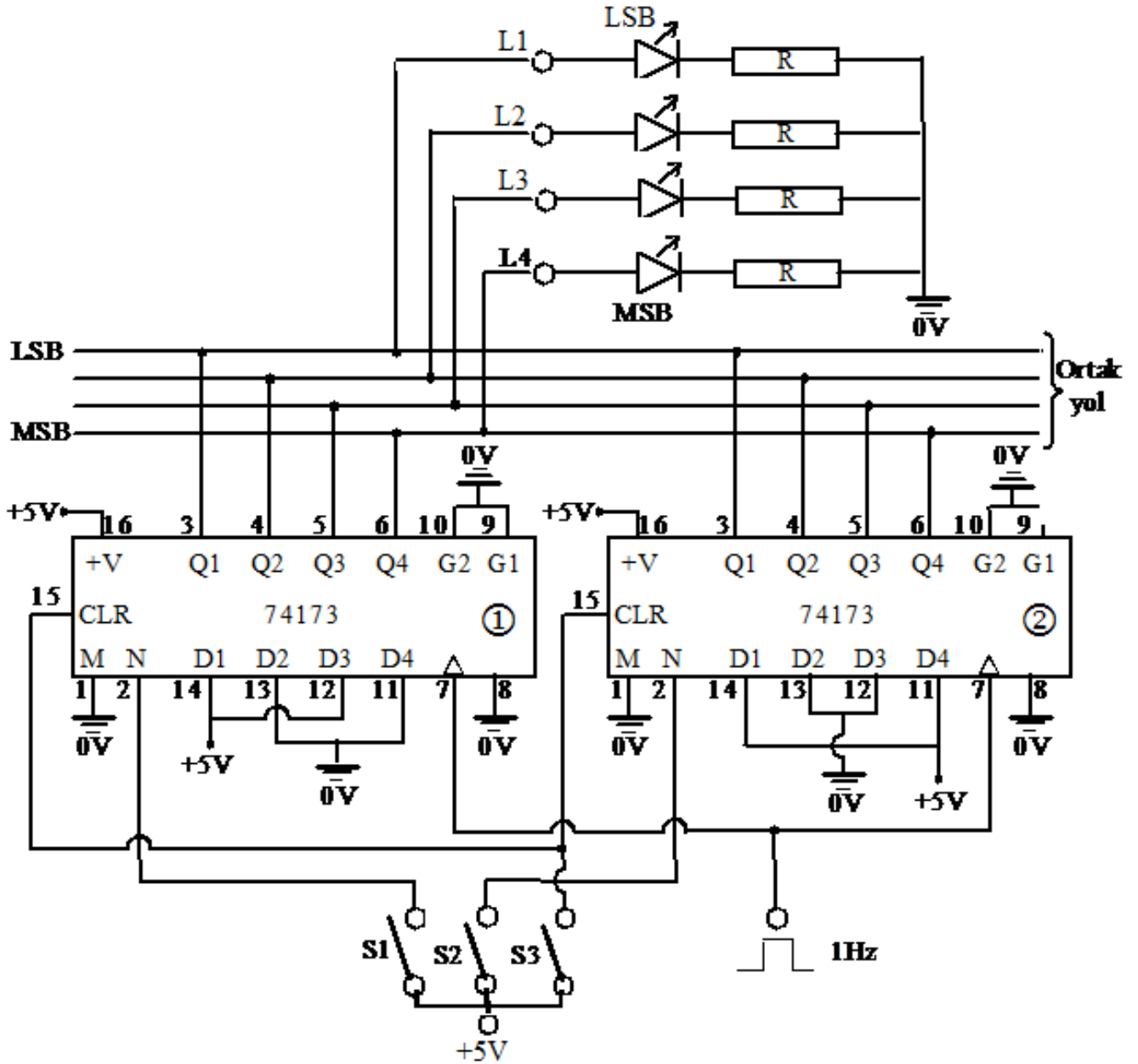
C) Deneyin yapılışı

Deneyde kullanılacak elemanlar:

- 1) 2X74173 : 3-durumlu çıkışa sahip 4 bitlik D tipi saklayıcı
- 2) 74153 : 4X1 MUX
- 3) 7404 : 4 adet değil kapısı
- 4) 7432 : 4 adet veya kapısı

İşlem adımları:

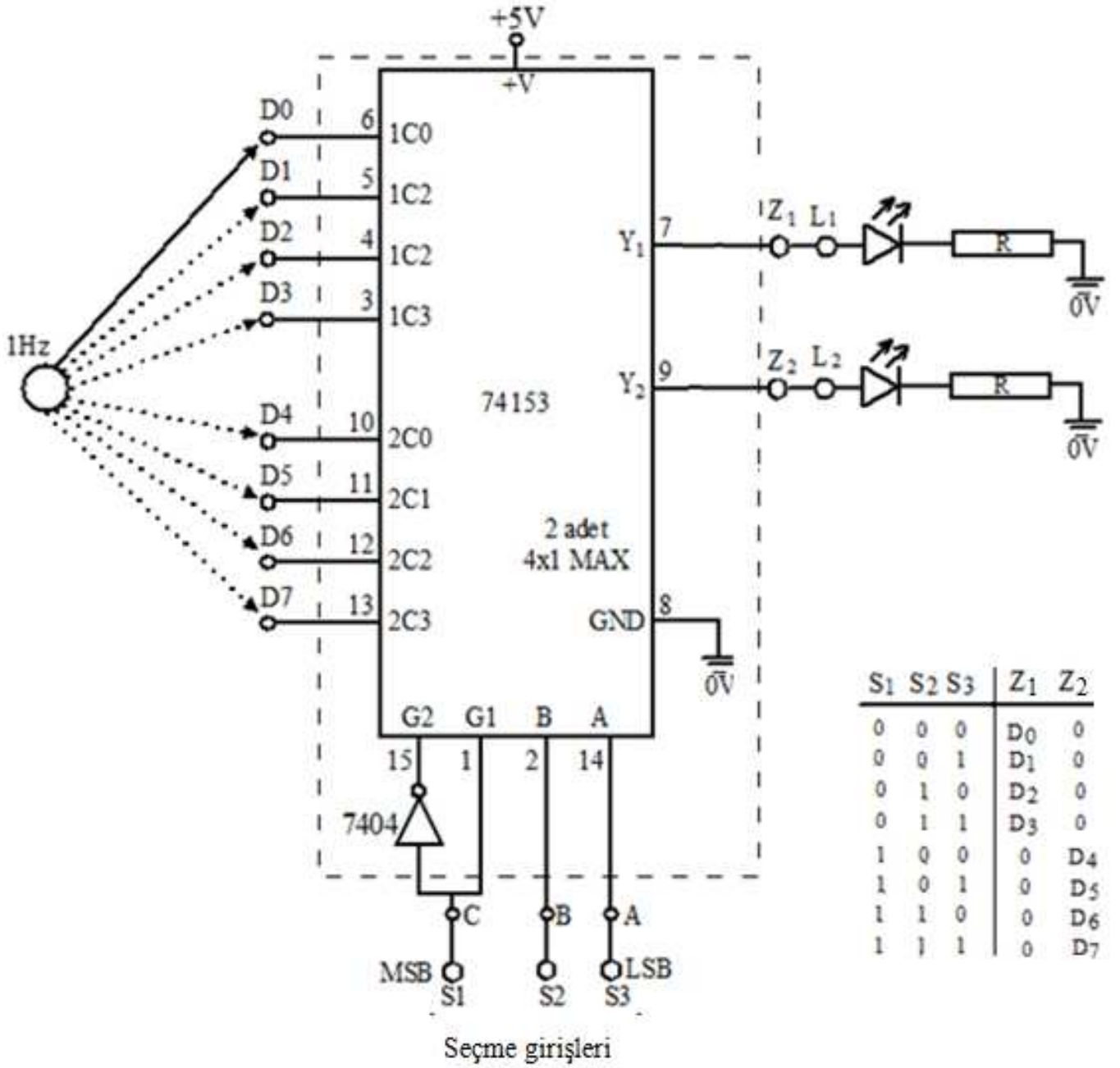
- 1) Şekil 2.4'deki devreyi kurunuz. S1 ve S2 anahtarlarını Lojik 1 yapmadan kesinlikle devreye enerji vermeyiniz.
 - (a) S3 anahtarını Lojik 1 yapınız. LED'lerin durumunu gözlemleyiniz. Deney raporundaki 1. Adımda verilen tablonun (a) satırını doldurunuz. S1 ve S2 anahtarlarını ayrı ayrı Lojik 0 yaparak, LED'lerde bir değişiklik olup olmadığını gözlemleyiniz. Kesinlikle S1 ve S2 anahtarını aynı anda lojik 0 yapmayınız.
 - (b) S1 ve S2 anahtarlarının her ikisini de Lojik 1 (+5V) yapınız. Bu durumda her iki saklayıcı çıkışları yüksek empedans konumundadır. Dolayısıyla Ledler sönük olacaktır. Deney raporundaki 1. Adımda verilen tablonun (b) satırını doldurunuz.
 - (c) S1 anahtarını Lojik 0 konumuna getiriniz. 1 Hz'lik saat girişi için LED'ler yardımıyla ortak yol üzerindeki sayıyı belirleyiniz. Deney raporundaki 1. Adımda verilen tablonun (c) satırını doldurunuz. S3 anahtarı yardımıyla reset (CLR) girişine kısa süreli Lojik 1 uygulayarak ortak yol üzerindeki sayının değişimini gözleyiniz.
 - (d) S1 anahtarını Lojik 1, S2 anahtarını ise Lojik 0 konumuna getiriniz. 1 Hz'lik saat girişi için LED'ler yardımıyla ortak yol üzerindeki sayıyı belirleyiniz. Deney raporundaki 1. Adımda verilen tablonun (d) satırını doldurunuz. S3 anahtarı yardımıyla reset (CLR) girişine kısa süreli Lojik 1 uygulayarak ortak yol üzerindeki sayının değişimini gözleyiniz.



Şekil 2.4. 3 durumlu çıkışlara sahip olan iki saklayıcının ortak yola bağlanması

2) Şekil 2.5 deki devreyi kurunuz.

- D0 girişine 1 Hz'lik sinyal uygulayınız. Şekil 2.5'deki doğruluk tablosunu göz önüne alarak seçme girişlerine S1, S2 ve S3 anahtarları yardımıyla 000, girişlerini uygulayarak L1 ve L2 LED'lerini gözleyiniz. L1 LED'inin 1 HZ'lik frekansla yandığını gözlemleyiniz. Burada L1 LED'i 1C0,1C1,-1C2 ve 1C3 data girişleri için, L2 LED'i ise 1C4,1C5,-1C6 ve 1C7 data girişleri için kullanılmıştır.
- 1 Hz'lik sinyali, sırasıyla D1, D2,.....,D7 girişlerine uygulayarak her bir giriş için seçme girişlerine S1, S2 ve S3 anahtarları yardımıyla sırasıyla 001,010,.....,111 lojik değerlerini uygulayarak L1 ve L2 ledlerinin hangi seçme girişi kombinasyonunda yanıp söndüğünü gözlemleyiniz. Deney sorumlusuna gösteriniz. Her bir seçme girişi için elde ettiğiniz giriş çıkış ilişkisinden Deney raporundaki 2. Adımda verilen doğruluk tablosunu doldurunuz.



Şekil 2.5 2 adet 4X1 MUX ile 8X1 MUX elde edilmesi

3. DENEY

KOMBİNEZONSAL DEVRELER

A) Genel bilgiler

Bir lojik devrede, belirli bir andaki çıkışlar, yalnızca o andaki girişler tarafından belirleniyorsa o devre kombinezonsal bir devredir. Bir başka ifade ile kombinezonsal devreler herhangi bir andaki çıkışları yalnızca o andaki girişlerine bağımlı olan devrelerdir. Bu deneyin amacı, sözle tanımlanan problemin çözümünü gerçekleştirecek olan kombinezonsal devrenin tasarımının gerçekleştirilmesidir. Devre tasarımında aynı tür kapı elemanlarının kullanılması şart koşularak devre karmaşıklığının/maliyet faktörünün ve devre gecikmelerinin en aza indirilmesine çalışılır.

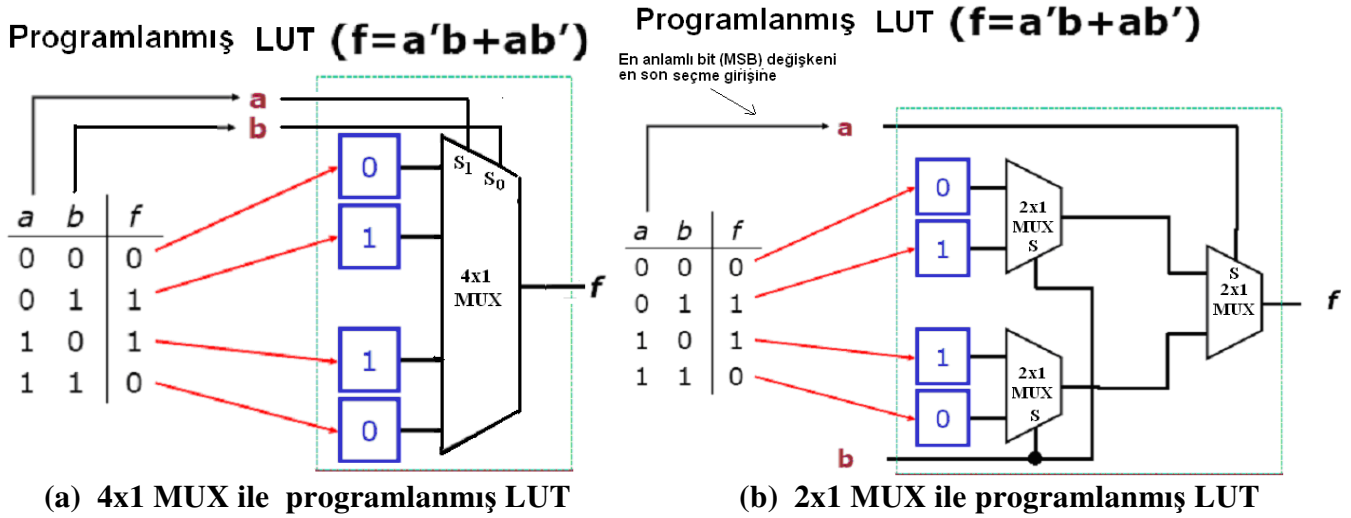
Kombinezonsal devre tasarımında aşağıdaki adımlar izlenir:

- Problem sözle tanımlanır.
- Giriş ve çıkış değişkenlerinin sayısı belirlenir ve isimlendirilir.
- Probleme ilişkin doğruluk tablosu oluşturulur.
- Her bir çıkışa ilişkin fonksiyon indirgeme yöntemlerinden biri ile indirgenir.
- Kullanılacak lojik devre elemanları belirlenir. Eğer tek tip kapılar kullanılacak ise indirgenmiş çıkış fonksiyonları düzenlenir.
- Devreye ilişkin lojik devre şeması çizilir.

Kombinezonsal devre tasarımında özellikle devrenin karmaşıklığı söz konusu ise temel lojik kapı elemanları kullanılmaz. Bunun yerine MUX, DEMUX, KODLAYICI, PAL, PLA vb. gibi hazır özel kombinezonsal devre elemanları kullanılır.

LUT: Kombinezonsal devre tasarımı için doğruluk tablosunun gerçekleştirilmesinde uygun seçme girişine sahip olan MUX devreleri kullanılabilir. Yani doğruluk tablosu MUX devresi ile programlanmış olur. Doğruluk tablolarının MUX'lar ile gerçekleştirilmesi, donanımsal data tablosu (Hardware Look-Up Table-LUT) olarak isimlendirilirler. Uygulamada yüksek sayıda girişe sahip MUX'lar imal edilmez. Az sayıda girişe sahip olan MUX'lar ile oluşturulan **MUX ağacı** ile yüksek sayıda girişe sahip olan MUX'lar oluşturulabilir.

Örnek: Aşağıdaki doğruluk tablosunu a) 4x1 MUX'u, b) Uygun sayıda 2x1 MUX'ları kullanarak gerçekleştiriniz.



Şekil 3.1 Doğruluk tablosunun programlanmış LUT ile gerçekleştirilmesi

B) Deney Öncesi Hazırlık

1. a) Deneye gelmeden önce Şekil 3.2 de verilmiş olan merdiven aydınlatma problemini, karnaugh haritası yöntemini kullanarak tasarlayınız. Tasarımda **1. kanonik açılımını** kullanınız. Elde ettiğiniz minimum fonksiyon için gerekli lojik diyagramı çiziniz.

b) (a) şıkkında elde ettiğiniz minimum fonksiyonu tek tip (VEDEĞİL) kapı elemanlarını kullanarak tekrar çiziniz.

2. (1) adımını **2. kanonik açılımını** kullanarak tekrarlayınız.

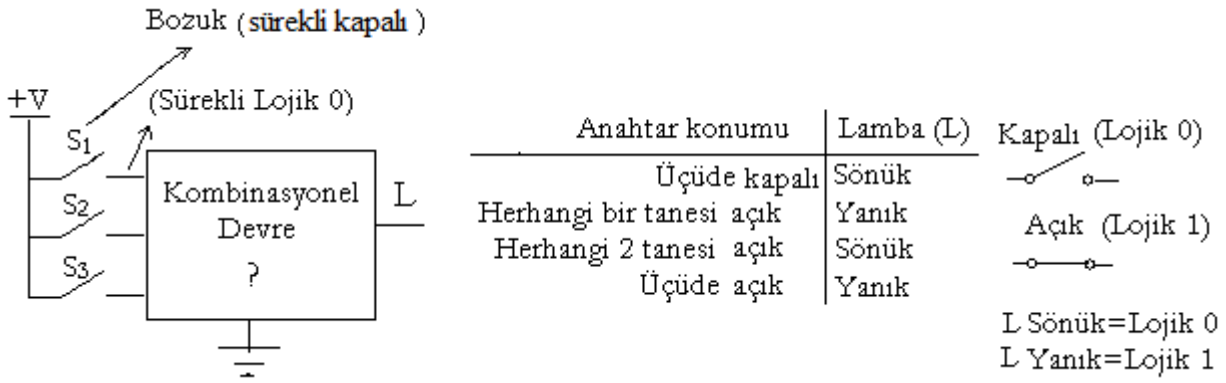
3. Söz konusu merdiven aydınlatma probleminde S_1 anahtarının bozuk olmadığını varsayarak doğruluk tablosunu tekrar elde ediniz.

a) Elde ettiğiniz doğruluk tablosunu 8x1 MUX devresini kullanarak gerçekleştiriniz (LUT).

b) Elde ettiğiniz doğruluk tablosunu iki adet 4x1 MUX 'lar ile gerçekleştiriniz.

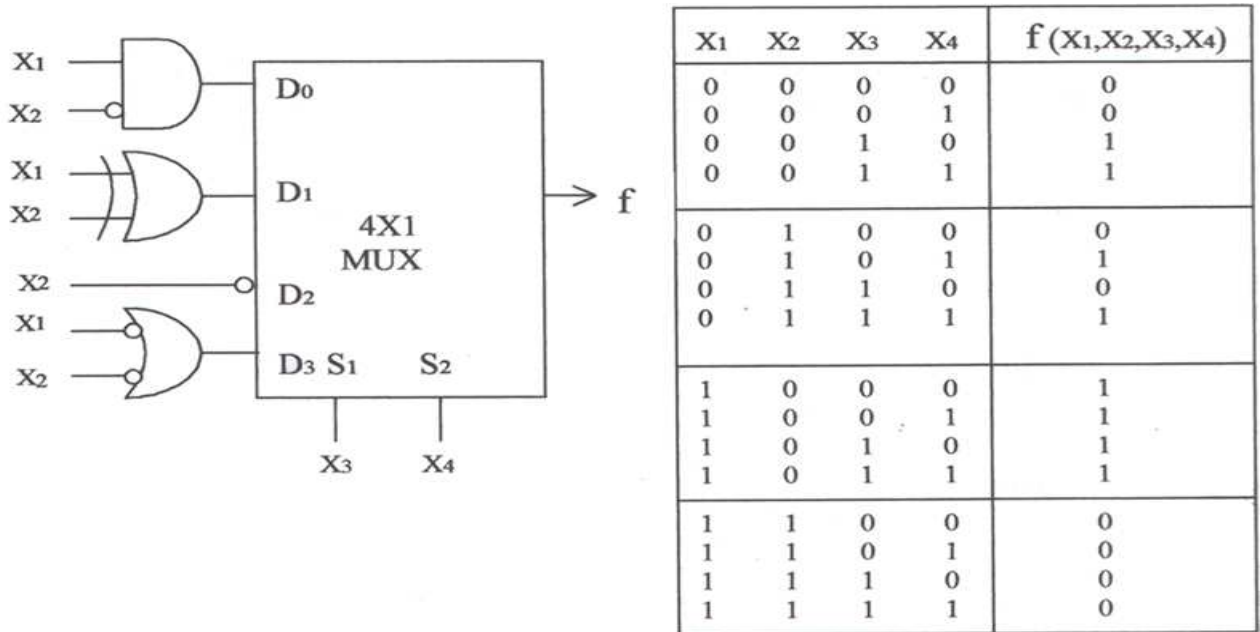
MERDİVEN AYDINLATMA PROBLEMİ: Her katında On/Off anahtarın bulunduğu üç katlı bir apartmanın merdiven aydınlatmasını aşağıdaki senaryo çerçevesinde gerçekleştirecek olan kombinezonsal bir devre tasarlanmak isteniyor. Ancak apartmanın birinci katındaki S_1 anahtarının bozuk olduğu (Sürekli Lojik 0) varsayılacaktır.

Not: Tasarımda S_1 anahtarı en anlamsız bit (LSB), S_3 anahtarı ise en anlamlı bit (MSB) olarak kullanılacaktır.



Şekil 3.2. Merdiven Aydınlatma Problemi

4. Aşağıdaki doğruluk tablosu ile verilen $f(X_1, X_2, X_3, X_4)$ fonksiyonunu 1.kanonik açınımına göre yazınız. Daha sonra X_3 ve X_4 girişlerini MUX'un seçme girişleri olacak şekilde bu fonksiyonu MUX devresi ile gerçekleştirecek biçimde düzenleyiniz ve aşağıdaki MUX devresini elde ediniz.



Yol gösterme: Minimum terimler kanonik biçimde yazmış olduğunuz fonksiyonun her bir bileşenini, seçme girişi olarak seçtiğiniz X_3 , X_4 değişkenleri veya değerlerinin çarpımlarının ortak parantezine alarak gerekli indirgemeleri (sadeleştirmeleri) yapınız.

5. Bir önceki adımında verilen $f(X_1, X_2, X_3, X_4)$ fonksiyonu için bu kez X_1 , X_2 girişleri MUX'un seçme girişleri olacak şekilde bu fonksiyonu MUX devresi ile gerçekleştirecek biçimde düzenleyiniz ve gerekli MUX devresini çizin.

C) Deneyin yapılışı

Deneyde kullanılacak elemanlar:

- 7400 Dörtlü 2 girişli NAND kapısı
- 7404 Altılı Invertör
- 7432 Dörtlü 2 girişli NOR kapısı
- 7486 Dörtlü 2 girişli EXOR kapısı
- 74153 Veri seçici (MUX)

İşlem Adımları:

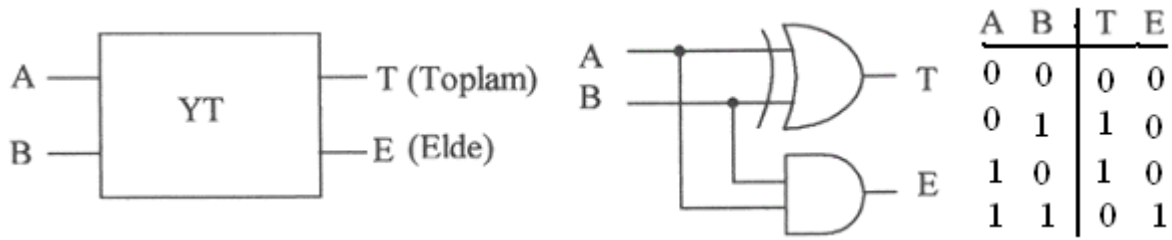
1. Deney öncesi hazırlık kısmındaki (B ayrıtı) (1 .b) adımımda elde ettiğiniz minimum lojik devreyi tek tip lojik VEDEĞİL kapı elemanlarını kullanarak kurunuz. Kurduğunuz devrenin girişlerine tüm lojik kombinasyon değerlerini (8 farklı kombinasyon) uygulayarak her bir giriş kombinasyonu için devrenin çıkışını kaydediniz. Deneysel olarak elde ettiğiniz doğruluk tablosu ile tasarımda elde ettiğiniz doğruluk tablosunu karşılaştırınız. Sonucu deney sorumlusuna gösteriniz.
2. Deney öncesi hazırlık kısmındaki (2). adımda, 2. kanonik açınım için elde ettiğiniz minimum fonksiyona ilişkin tek tip kapılı lojik devreyi kurunuz. Kurduğunuz devrenin girişlerine tüm lojik kombinasyon değerlerini (8 farklı kombinasyon) uygulayarak her bir giriş kombinasyonu için devrenin çıkışını kaydediniz. Böylece deneysel olarak elde ettiğiniz doğruluk tablosu ile tasarımda elde ettiğiniz doğruluk tablosunu karşılaştırınız. Sonucu deney sorumlusuna gösteriniz.
3. Deney öncesi hazırlık kısmındaki (B ayrıtı) (3 .a) adımımda elde ettiğiniz LUT devresini kurunuz. Kurduğunuz devrenin seçme girişlerine doğruluk tablosundaki giriş kombinasyonlarını uygulayarak doğruluk tablosunu sağlayıp sağlamadığını gözlemleyiniz. Sonuçları deney sorumlusuna gösteriniz.
4. Deney öncesi hazırlık kısmındaki (B ayrıtı) 4. adımda verilen MUX devresini kurunuz. Kurduğunuz bu devrenin seçme ve data girişlerine, verilen doğruluk tablosundaki lojik giriş değerlerini uygulayarak, (f) çıkışının doğruluk tablosunu sağlayıp sağlamadığını gözlemleyiniz. Sonucu deney sorumlusuna gösteriniz.

4. DENEY

ARİTMETİK İŞLEM DEVRELERİ

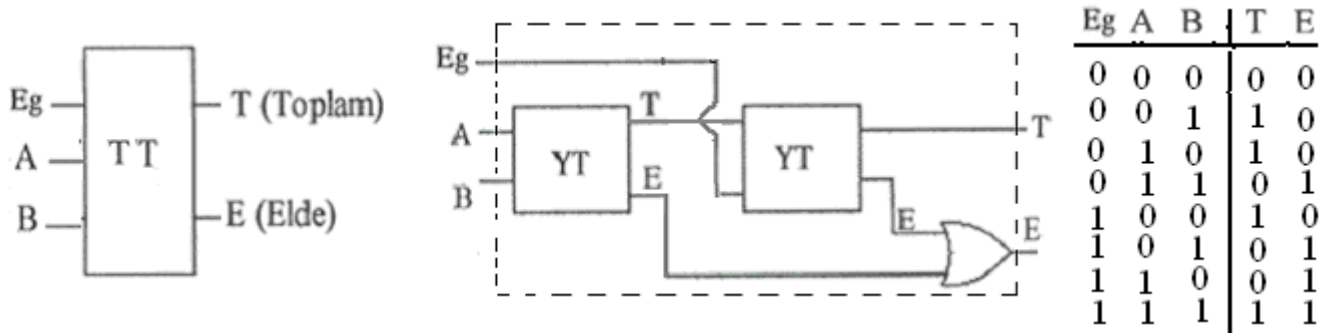
A) Genel bilgiler

Bu deneyde, ikili sayı sisteminde seri ve paralel toplama/çıkarma işlemlerinin gerçekleştirildiğini aritmetik devreleri incelenecektir. Tasarım yöntemi ve çalışma prensibi açısından bu devreler birer kombinasyonel devredir. Yarı toplayıcı bir bitlik bir toplayıcıdır. Çıkışta toplam ve elde bitleri elde edilir. Bir yarı toplayıcı bir Ex-Or bir VE kapısı ile kolayca gerçekleştirilebilir (Şekil 4.1).



Şekil 4.1 Yarı toplayıcı ve lojik kapı devreleri ile gerçekleştirilmesi

Tam toplayıcı ise üç bit girişe sahiptir. Girişlerden 2 tanesi toplanacak olan bitler, üçüncü giriş ise bir önceki toplamdan gelen elde bitidir. Toplam ve elde olmak üzere iki çıkışa sahiptir. İki yarı toplayıcının birleştirilmesiyle bir tam toplayıcı elde edilebilir (Şekil 4.2).



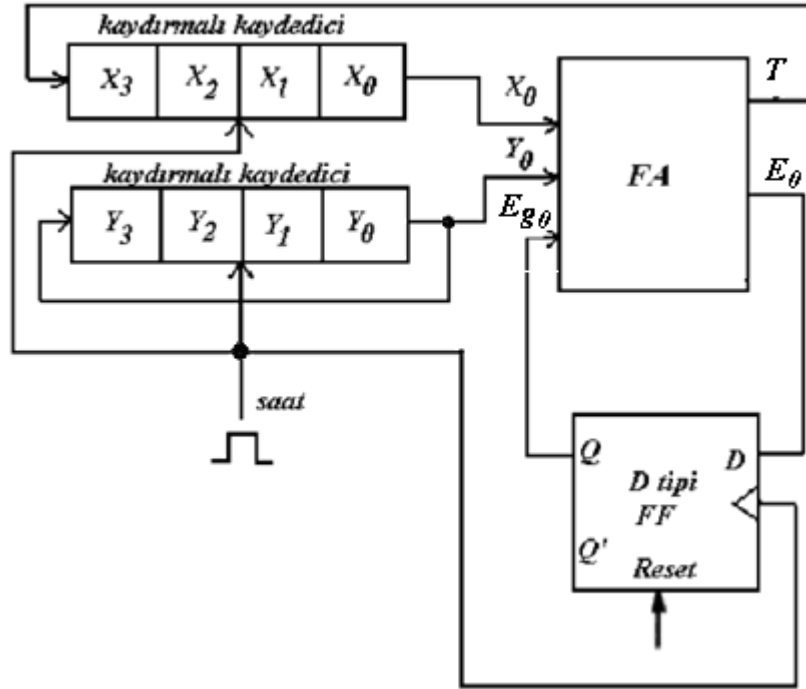
Şekil 4.2 Tam toplayıcının iki yarı toplayıcı ile gerçekleştirilmesi

Toplayıcılar çalışma ilkeleri bakımından seri toplayıcı ve paralel toplayıcı olmak üzere iki sınıfa ayrılırlar.

Seri Toplayıcılar:

Şekil 4.3'de 4 bitlik bir seri toplama devresi verilmiştir. Şekilden de görüldüğü gibi toplanacak sayıların bit sayısından bağımsız olarak devrede sadece 1 adet tam toplayıcı ve eldelerin saklanması için 1 bitlik D tipi FF kullanılmıştır. Bu durum seri toplayıcının üstünlüğüdür. Ancak seri toplayıcılarda, paralel toplayıcıların aksine her bir bit ard arda toplandığı için toplama işlemi uzun sürede gerçekleşecektir. Toplanacak olan sayılar kaydırmalı kaydedicilerde saklanır. Saatin her bir periyodunda kaydırmalı kaydedicilerdeki datalar bir bit kaydırılır. Eş zamanlı olarak tam toplayıcıda hesaplanmış olan elde FF'a

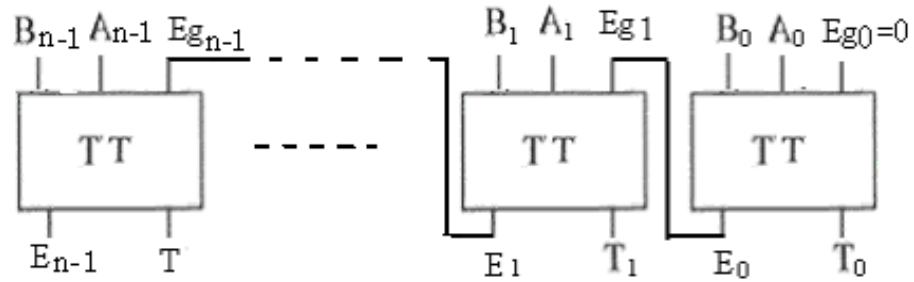
kaydedilir. Böylece toplam için toplanacak olan sayıların bit sayısı kadar darbe gereklidir. Toplama sonucunda sonuç X kaydedicisine kaydedilir.



Şekil 4.3. 4 bitlik seri toplayıcı devresi

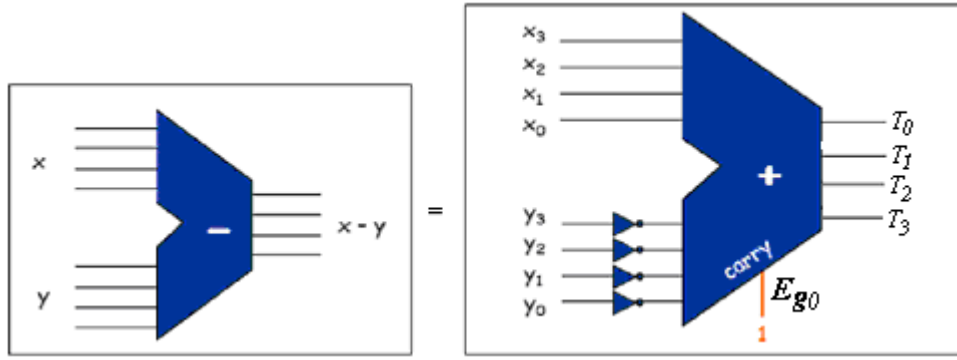
Paralel toplayıcılar:

Tam Toplayıcı (TT)'ları kaskat bağlayarak paralel toplayıcıları oluşturabiliriz (Şekil 4.4).



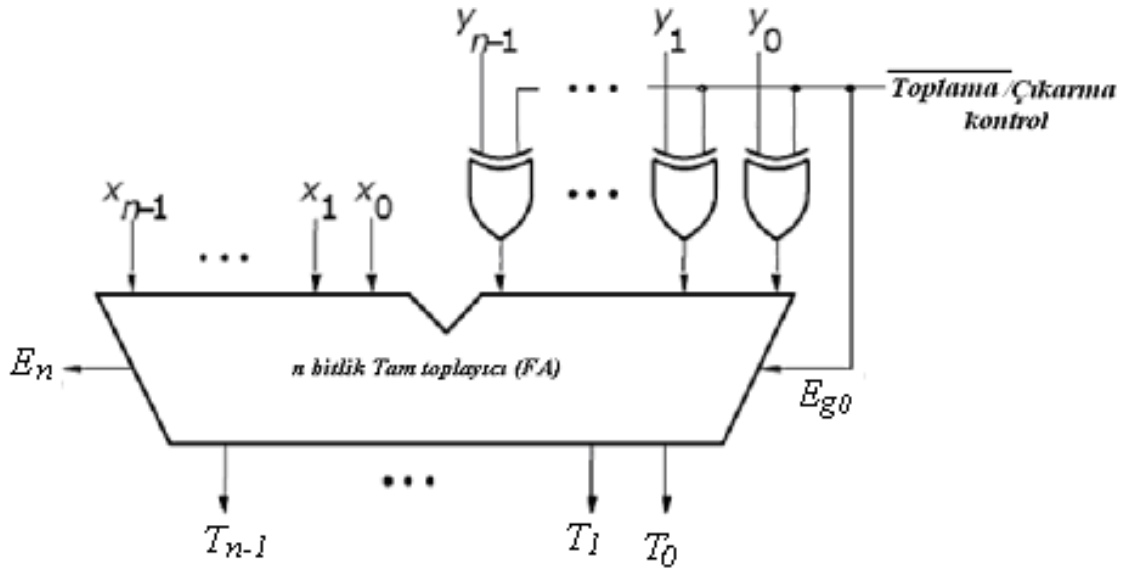
Şekil 4.4 Dört bitlik paralel tam toplayıcı

Benzer biçimde 1 bitlik tam çıkarıcı devrelerini kaskat bağlayarak paralel çıkarıcı devreleri oluşturabiliriz. Ancak tümlleme aritmetiği sayesinde ikili sistemde toplama devreleri ile çıkarma işlemlerini de gerçekleştirmek mümkündür. Şekil 4.5'de görüldüğü gibi X-Y çıkarma işlemini; ilk elde girişini lojik 1 ($E_0=1$) alarak çıkarma işlemine eşdeğer olan $X + \bar{Y}$ işlemini elde edebiliriz. Toplama ve çıkarma işlemi için EX-OR kapıları kullanılabilir.



Şekil 4.5 Çıkarma devresi yerine toplama devresinin kullanılması

Şekil 4.6’da toplama ve çıkarma işlemini gerçekleştiren EX-OR kapılarının kullanıldığı bir toplama/çıkarma devresi verilmiştir. Devrede çıkarma işlemi için ikiye tümleyen aritmetiği kullanılmıştır. Toplama/çıkarma kontrol girişi Lojik 0 olduğunda ikili sistemde $X+Y=T$ işlemi gerçekleştirilir. Toplama/çıkarma kontrol girişi Lojik 1 olduğunda ise ikiye tümleyen aritmetiğine göre $X-Y=T$ işlemi gerçekleştirilir. Çıkarma işleminde EX-OR kapılarının çıkışında Y sayısının değili (bire tümleyeni) elde edilir. Y’nin bire tümleyeninin en anlamsız biti (en sağdaki EX-OR çıkışı) kontrol girişine eşit olan ilk elde girişi ($E_{g0} = 1$) ile toplanacağından Y sayısının ikiye tümleyeni elde edilmiş olur. Böylece X’in kendisi ile Y’nin ikiye tümleyeninin uygulandığı toplama devresi kullanılarak ikiye tümleyen aritmetiği ile çıkarma işlemleri de gerçekleştirilmiş olur.

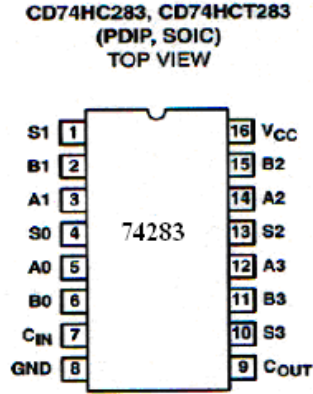


Şekil 4.6 n bitlik Toplama/Çıkarma devresi

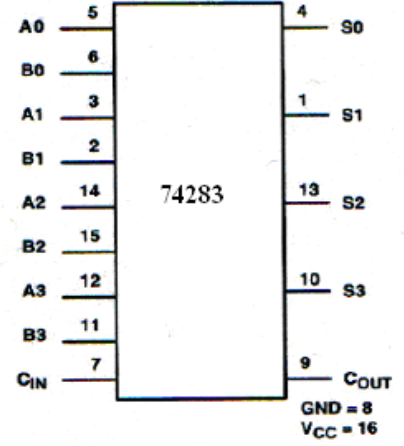
Uygulamada toplama ve çıkarma işlemlerinin yürütülebilmesi için hazır tümdevreler mevcuttur.

Aşağıda 4 bitlik TTL türü 74HC283 toplayıcı tümdevresi verilmiştir. Toplayıcının elde (Carry) giriş ve çıkışlarını kullanarak daha yüksek dereceli toplayıcılar elde edilebilir.

Pinout

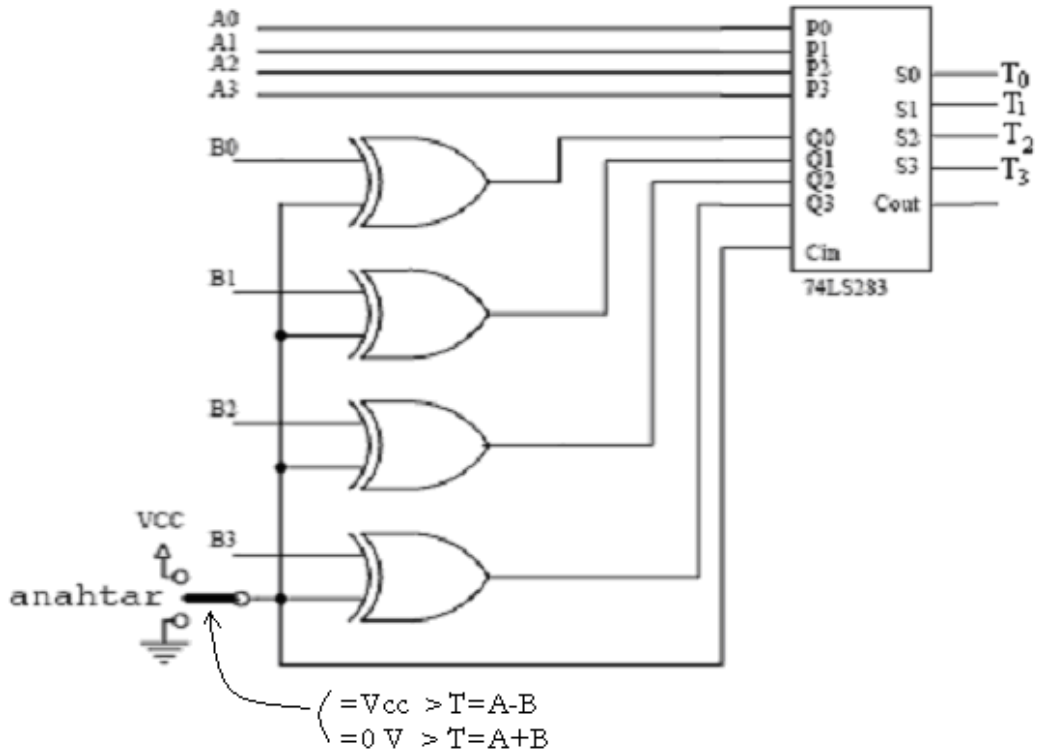


Functional Diagram



Şekil 4.7 74283 toplama tümdevresi

Şekil 4.8’de ise 74283 tümdevresinin kullanıldığı 4 bitlik paralel toplama devresine ilişkin bağlantı verilmiştir. Öğrencinin deneye hazırlık amacıyla doldurması için toplama ve çıkarma örnekleri Tablo 4.1’de verilmiştir. Çıkarma işlemlerinde ikiye tümleyen yöntemi kullanılacaktır.



Şekil 4.8. Dört bitlik paralel tam toplama ve çıkarma devresi

Tablo 4.1. Dört bitlik paralel tam toplama ve çıkarma

Girişler				Çıkışlar			
10 tabanında		iki tabanında		iki tabanında		10 tabanında	
A	B	A ₃ A ₂ A ₁ A ₀	B ₃ B ₂ B ₁ B ₀	T ₃ T ₂ T ₁ T ₀		T	
5	7						
10	4						
14	-10						
12	-7						
5	-8						

$$\begin{array}{r} A \\ + B \\ \hline T \end{array} \quad \begin{array}{r} A \\ - B \\ \hline T \end{array}$$

B) Deney Öncesi Hazırlıklar

- Yarı toplayıcı devrenin doğruluk tablosunu öğreniniz. Bu devrenin gerçekleştirilmesi için gerekli kapı elemanlarını ve bunlara ilişkin tümdevreleri belirleyiniz.
- Tam toplayıcı devresinin doğruluk tablosunu öğreniniz. Bu devrenin iki adet yarı toplayıcı devre ile gerçekleştirilmesi için gerekli kapı elemanlarını ve bunlara ilişkin tümdevreleri belirleyiniz.
- Tablo 4.1.'i deneye gelmeden önce doldurunuz.
- Deneyde kullanacağınız 4 bitlik 74283 tam toplayıcı tümdevresini iç yapısını ve çalışmasını inceleyiniz. Bu tümdevrenin bacak bağlantısı föyün sonunda verilmiştir.

C) Deneyin yapılışı:

Deneyde kullanılacak elemanlar:

- 7400 Dörtlü 2 girişli NAND
- 7408 Dörtlü 2 girişli AND
- 7432 Dörtlü 2 girişli OR
- 2x7486 Dörtlü 2 girişli EXOR
- 74283 4 bitlik tam toplayıcı

İşlem adımları:

1) Yarı toplayıcı:

- Şekil 4.1'deki yarı toplayıcı devresini, 7486 (EX-OR) ve 7408 (AND) kapılarını kullanarak gerçekleştiriniz.
- Devreyi çalıştırarak birer bitlik A ve B sayıları için yarı toplayıcıya ilişkin doğruluk tablosunu elde ediniz.

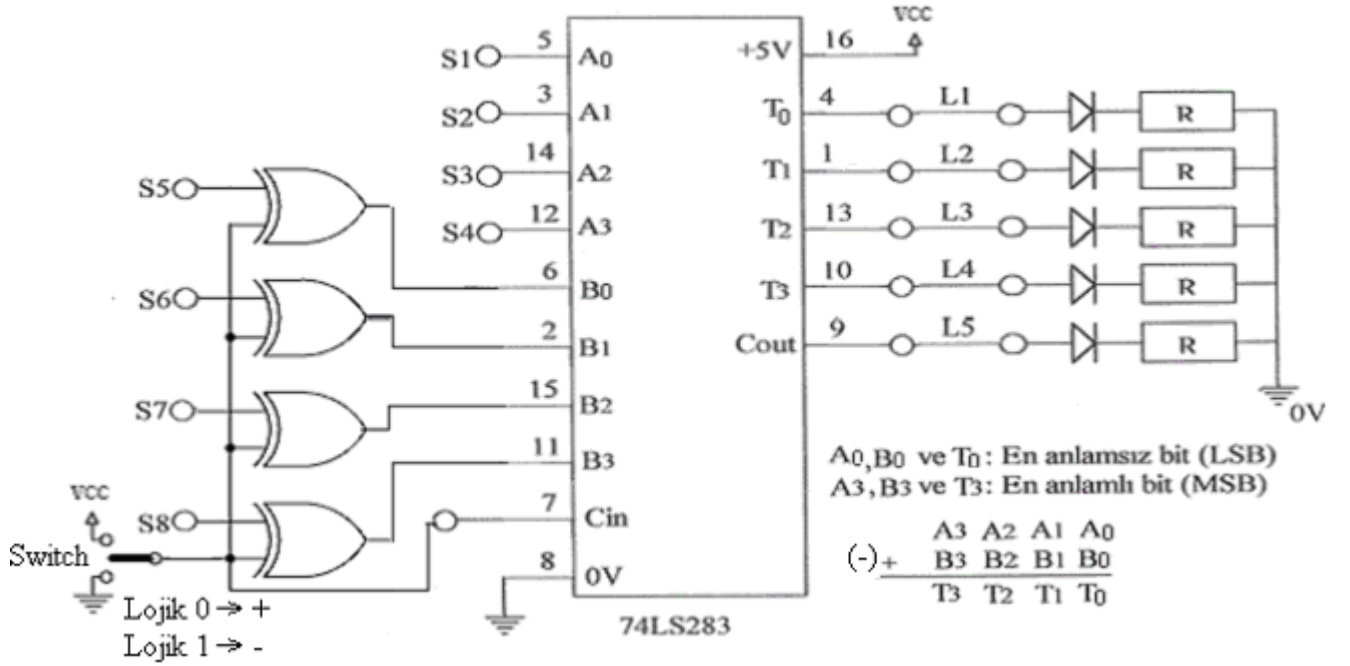
2) Tam toplayıcı

- Şekil 4.2'deki tam toplayıcı devresini, 7486, 7432 ve 7408 kapılarını kullanarak gerçekleştiriniz.
- Devreyi çalıştırarak birer bitlik A ve B sayıları için doğruluk tablosunu elde ediniz.

3) Paralel tam toplayıcı ve çıkarıcı:

- Şekil 4.9 ile verilen 4 bitlik tam toplama/çıkarma devresini kurunuz.

- Tablo 4.1 de verilen 4 bitlik A ve B sayılarını kurduğunuz 74LS283 toplama devresi girişlerine uygulayınız. T0 T1 T2 T3 ve Cout çıkışlarına ilişkin deneysel sonuçları doğruluk tablosuna kaydediniz.



Şekil 4.9 Dört bitlik Paralel tam toplama ve çıkarma devresine ilişkin bağlantı düzeneği

D) Sorular

- Toplama devrelerini ve uygun hazır kombinezonel devreleri kullanarak Pozitif veya Negatif işaretli 3'er bitlik 2 sayıyı işaretli olarak toplayan paralel toplama devresini tasarlayınız. Tasarımda sayıcı ve özel kombinasyonel devre sembollerini kullanınız. Çıkarma işlemleri için ikiye tümleyen yöntemini kullanınız.
- Üç bitlik iki sayıyı işaretli olarak çarpan bir çarpma devresini temel kapı elemanlarını kullanarak gerçekleştiriniz.

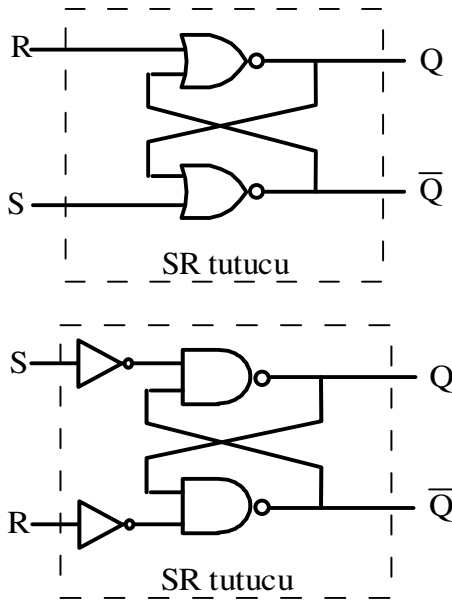
5. DENEY

TUTUCULAR VE FLİP-FLOP'LAR

A) Genel bilgiler

Tutucular:

Tutucular (Latches), ardışıl lojik devre tasarımında kullanılan en temel saklama birimidir. Flip-flop'lar da tutuculara birkaç tane kapı eklenerek gerçekleştirilmektedir. Bir tutucu 1 bitlik veriyi, besleme gerilimi kesilmediği ve giriş değişmediği müddetçe sürekli saklar. Çok bitlik veriyi saklamak için yan yana dizilmiş birden çok tutucu kullanmak gereklidir. Örneğin 8 bitlik bir veri saklamak için 8 adet tutucu kullanmak gerekir. Tutucular kombinezonsal devrelerin yapı taşı olan VE, VEYA, VEDEĞİL ve VEYADEĞİL kapılarıyla kolayca gerçekleştirilebilir. En temel tutucu SR tipi tutucudur. VEDEĞİL (NAND) ve VEYADEĞİL (NOR) kapıları ile gerçekleştirilmiş 2 farklı SR tutucu devresi Şekil 5.1'de verilmiştir. Şekilde de görüldüğü gibi tutucu S (Setleme) ve R (Resetleme) olmak üzere 2 adet bağımsız girişe sahiptir. Doğruluk tablosunda görüldüğü gibi S=1 ve R=1 durumu için SR tutucu çıkışlarının her ikisi de aynı düzeyde olacağından tutucu tanımına uymaz. Bu nedenle bu durum tanımsız olup istenmeyen bir durumdur.



S	R	Q	$\bar{Q}$	
0	0	Q	$\bar{Q}$	:Saklama
0	1	0	1	:Sıfırlama
1	0	1	0	:Birleme
1	1	1	1	:Tanımsız

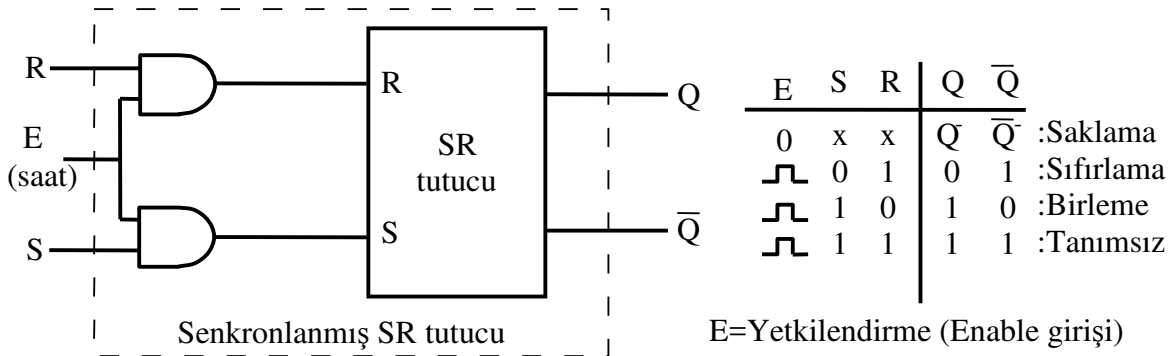
Q:Şimdiki durum

Q : Bir önceki durum

Şekil 5.1 Temel SR tipi tutucu devreleri

Değişik amaçlı kullanım için temel SR tipi tutucular kullanarak JK, D ve T tipi tutucular oluşturulabilir. Şekil 5.1 ile verilen SR tutucu devreleri asenkron çalışma mimarisine sahiptir. Çıkışların değişimi doğrudan girişlerin değişimine bağlı olup, dışarıdan bir senkronlama (saat) işareti uygulanmasına gerek duyulmamaktadır. Söz konusu tutucu devresi bir saat girişi ile senkronlanabilir. Senkronlanmış bir temel SR tutucu devresi ve doğruluk tablosu Şekil 5.2'de verilmiştir. Şekilde görüldüğü gibi senkronlanmış SR tutucu yetkilendirme girişi tarafından kontrol edilmektedir. Yetkilendirme (senkronlama) girişi lojik 0

olursa tutucu çıkışı değişmez, bir önceki değerini muhafaza eder. Yetkilendirme girişi lojik 1 olursa doğruluk tablosundaki geçişler geçerli olur. Şekil 5.2’deki SR tutucu aynı zamanda “**düzey tetiklemeli bir SR tipi flip-flop**”tur.



Şekil 5.2 Senkronlanmış SR tutucu (düzey tetiklemeli SR FF)

Şekil 5.2’de SR tutucu yerine JK, D ve T tipi tutucu yerleştirilerek senkronlanmış JK, D ve T tipi tutucu devreleri (flip-flop’lar) elde edilebilir.

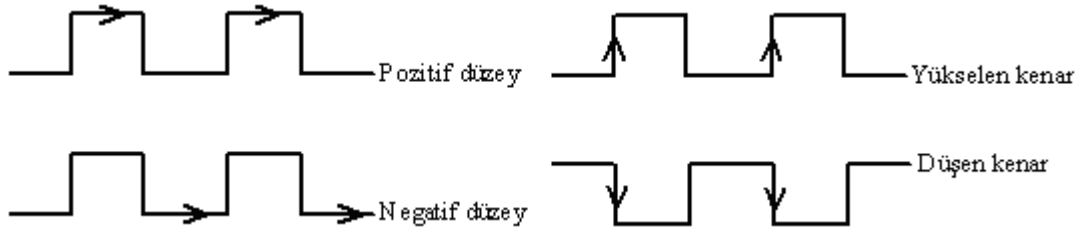
FLİP-FLOP’LAR (FF)

Flip-flop’ların temelini tutucu devreleri oluşturur. Tutucu devrelerine birkaç kapı veya tetikleme girişi devreleri ilave edilerek flip-flop devreleri elde edilir. Flip-flop’lar 1 bitlik saklama birimleridir. En yalın saklama elemanı olarak tek başına kullanıldığı gibi birden çok flip-flop bir araya getirilip saklayıcı, sayıcı, bellek veya özel amaçlı birimler oluşturulabilir. Mikro işlemcilerin içerisinde veya kartların üzerinde bayrak olarak adlandırılan değişikliklerde flip-flop’larda tutulur. Bir flip-flop’un temel olarak iki tane çıkışı ve bir tane saat işareti (senkronlama işareti) girişi ve bir veya 2 tane de veri girişi vardır. Ayrıca veri ve saat girişinden bağımsız olarak çıkışı birlemek veya sıfırlamak için harici SET ve RESET girişleri de bulundurabilir. Flip-flop’lar belirli bir düzen içinde çalışmalıdır ve istenmeyen anlarda konum değiştirmeleri önlenmelidir. Bunu sağlamak için flip-flop’lar kenar tetikleme veya düzey tetikleme ile belirli anlarda aktif hale getirilir.

Düzey tetiklemede; flip-flopun saat girişi devrenin yapısına göre Lojik 1 yada Lojik 0 düzeyinde tutulduğu sürece, flip-flop girişlerindeki değişimleri algılayıp konum değiştirir (Bkz. Şekil 5.2).

Kenar tetiklemede ise girişteki değişimler saat işaretinin Lojik 0’dan Lojik 1’e (yükselen kenar) veya Lojik 1’den Lojik 0’a (düşen kenar) geçiş anlarında çıkışa aktarılır.

Söz konusu bu 4 tetikleme türü Şekil 5.3’de verilmiştir.

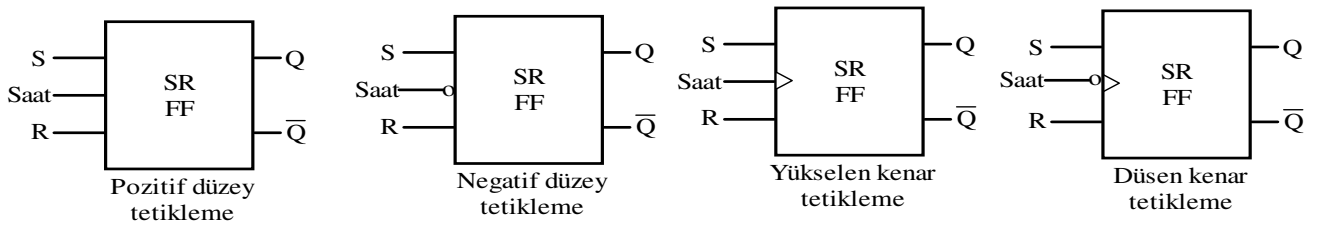


(a) Düzey tetikleme

(b) Kenar tetikleme

Şekil 5.3 Flip-Floplarda kullanılan tetikleme türleri

Flip-floplar saat işareti ile senkronlanmış tutuculardır. Şekil 5.2 ile verilen SR tutucu, düzey tetiklemeli bir SR tipi flip-flop'tur. Değişik tetiklemeye sahip SR tipi FF sembolleri şekil 5.4'de verilmiştir.

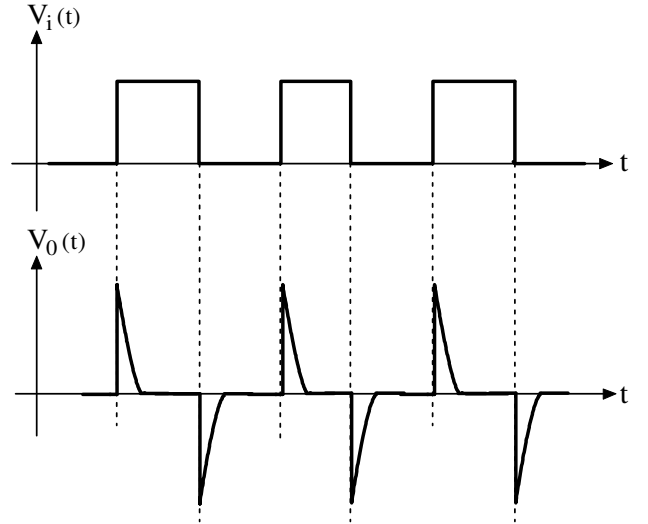
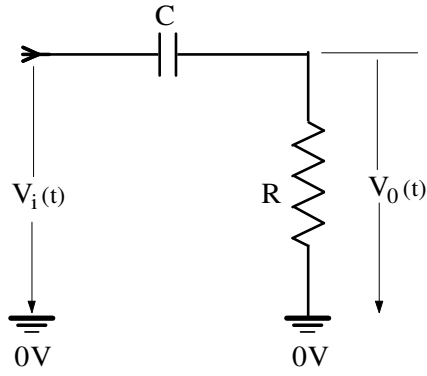


Şekil 5.4 farklı tetiklemenin gösterildiği SR tipi Flip-Flop Sembolü

Şekil 5.4 ile sembolleri verilen SR tipi flip-flop'lardan pozitif düzey tetiklemeli SR flip-flop'un yapısı Şekil 5.2'de verilmiştir. Negatif düzey tetiklemeli SR flip flop ise Şekil 5.2'deki flip-flop'un saat girişine DEĞİL kapısı ilave edilerek kolayca elde edilir. Kenar tetiklemeli flip-floplar ise Şekil 5.2 ile verilen düzey tetiklemeli SR flip-flop'un saat girişine kenar tetikleme devreleri ilave edilerek gerçekleştirilir. Saat girişi işareti olarak uygulamada genellikle kare dalga kullanılır. Söz konusu bu kare dalgadan kenar tetikleme işaretini elde edebilmek üç farklı biçimde gerçekleştirilebilir.

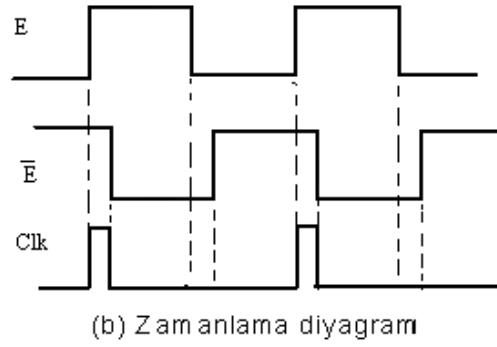
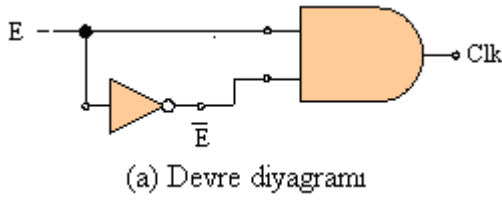
- RC devresiyle keskin darbeler (spike) elde ederek (Şekil 5.5).
- Gecikme elemanı kullanılarak
- Kenar tetiklemeli bellek elemanları kullanarak

Aşağıda RC devresiyle gerçekleştirilmiş olan basit bir kenar algılama devresi verilmiştir.



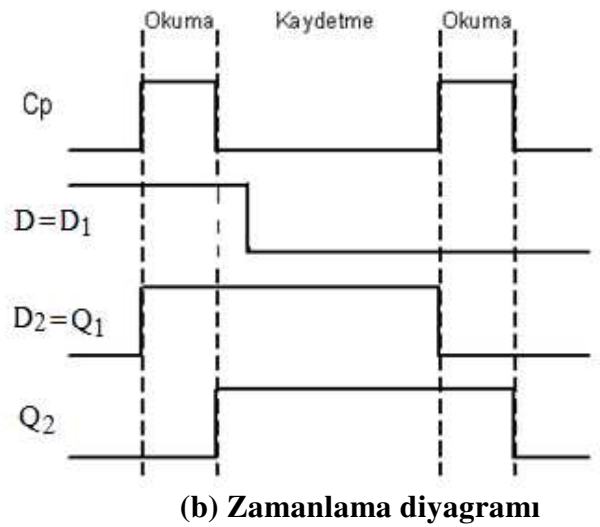
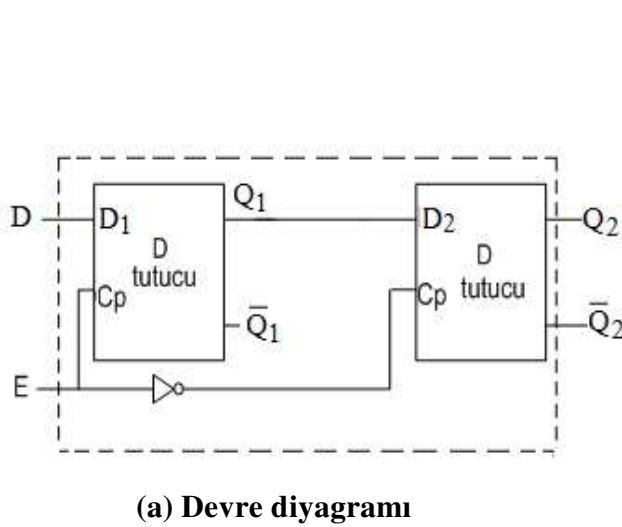
Şekil 5.5 Basit bir kenar tetikleme devresi ve dalga şekilleri

Şekil 5.6’da ise gecikme elemanı kullanılarak kenar tetikleme işleminin elde edilmesine ilişkin devre şeması ve dalga şekilleri verilmiştir.



Şekil 5.6 Gecikme elemanı kullanılarak kenar tetikleme işleminin elde edilmesi

Aşağıda D tipi FF’lardan oluşmuş bir Ana-uydu tipi tutucu ve zamanlama diyagramı verilmiştir.



Şekil 5.7. Ana-uydu tipi tutucu

Şekil 5.8’de düzey tetiklemeli SR tipi flip-floptan oluşturulmuş düzey tetiklemeli JK, D ve T tipi flip-flop devreleri verilmiştir. Lojik devre tasarımında genellikle kenarı tetiklemeli SR flip-flop ve bundan

oluşturulmuş olan JK, D ve T tipi Flip-Flop'lar kullanılır. Kenar tetiklemeli FF'lar ise düzey tetiklemeli FF'ların girişlerine şekil 5.5, şekil 5.6 veya şekil 5.7 ile verilen kenar tetikleme devreleri veya kapılardan oluşturulmuş giriş devresi ilave edilerek elde edilir. Şekil 5.9'da ise değişik tür kenar tetiklemeli flip-flop'ların sembolleri ve doğruluk tabloları verilmiştir.

Şekil 5.8'deki flip-flop bağlantıları ve Şekil 5.9'daki doğruluk tabloları dikkatle incelendiğinde aşağıdaki özellikleri elde edebiliriz.

a) JK flip-flop

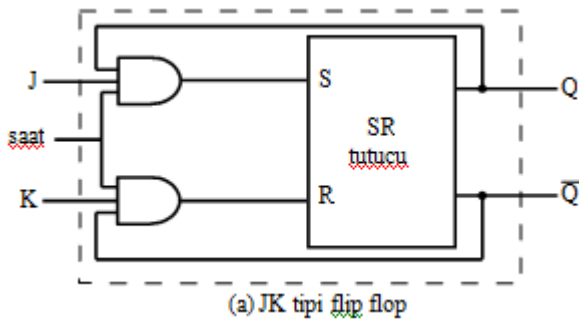
SR flip flop'un $S=1$ ve $R=1$ istenmeyen durumunu ortadan kaldırarak bir önceki durumun tersini alma (mekik) durumuna dönüştürür.

b) D flip-flop

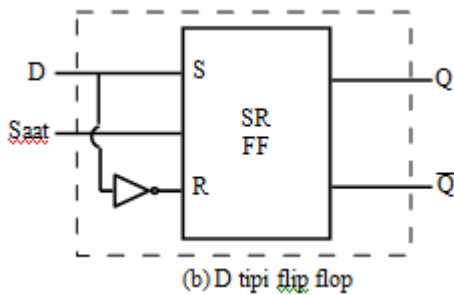
SR flip-flopun yalnızca $S=0, R=0$ (saklama), $S=1, R=0$ (birleme) ve $S=0, R=1$ (sıfırlama) durumlarını kullanır.

c) T flip-flop

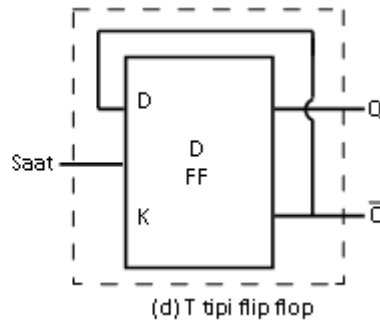
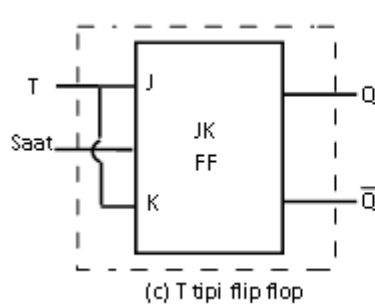
JK flip-flopun yalnızca $S=0, R=0$ (saklama) ve $S=1, R=1$ (mekik) durumunu kullanır.



Saat	J	K	Q	$\bar{Q}$
∇	0	0	Q	$\bar{Q}$
∇	0	1	0	1
∇	1	0	1	0
∇	1	1	$\bar{Q}$	Q



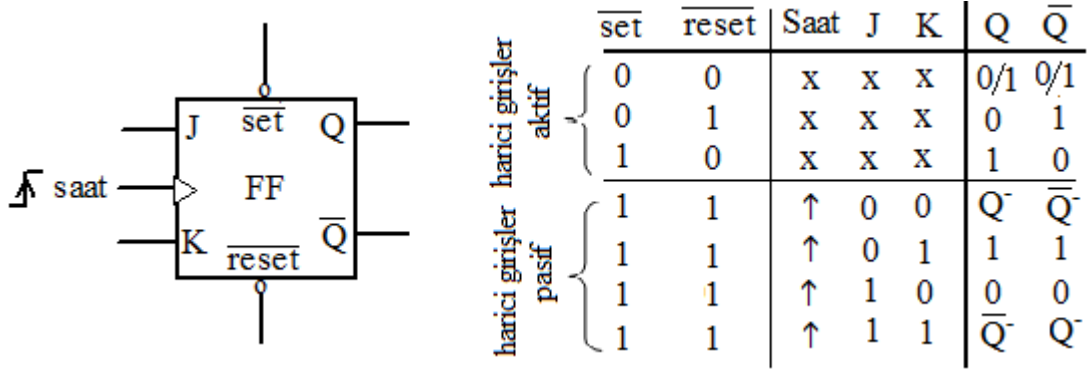
Saat	D	Q	$\bar{Q}$
∇	0	0	1
∇	1	1	0



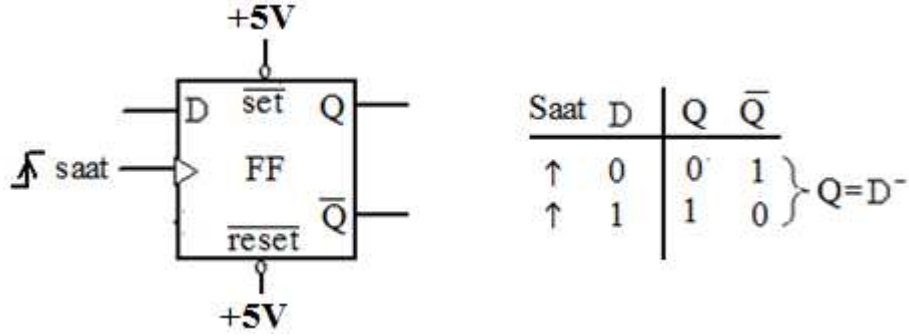
Saat	T	Q	$\bar{Q}$
∇	0	Q	$\bar{Q}$
∇	1	$\bar{Q}$	Q

:saklama
:mekik

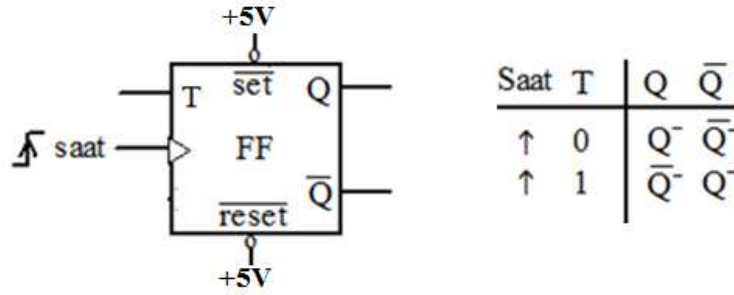
Şekil 5.8 Düzey tetiklemeli SR Flip flop'lardan oluşturulmuş olan düzey tetiklemeli JK,D ve T tipi FF devreleri



(a) JK FF sembolü ve doğruluk tablosu



(b) D FF sembolü ve doğruluk tablosu



(c) T FF sembolü ve doğruluk tablosu

Şekil 5.9 Değişik tür Flip-Flop (FF) sembolleri ve doğruluk tabloları

Şekil 5.9'deki sembollerde verilen birleme (set) ve sıfırlama (reset) aktif high harici girişleri öncelikli girişlerdir. set=reset=0 iken FF çıkışı girişlere bağlıdır. Saat ve flip-flop girişlerine bakılmaksızın, set=1, reset=0 iken $Q=1$ set=0, reset=1 iken ise $Q=0$ yapılır. Buna harici girişlerin aktif high çalışması denir. Aktif low çalışma durumu için ise set=0 iken $Q=1$, reset=0 iken $Q=0$ olur.

B) Deney Öncesi Hazırlık

- Deneyde kullanılacak olan değişik tip FF'ları inceleyerek doğruluk tablolarının nasıl elde edildiğini öğreniniz.
- Deneyde kullanılacak olan 7474 ve 74109 tümdevrelerini ve doğruluk tablolarını inceleyiniz.
- Girişine uygulanan işaretin frekansını 100 Hz'den 25 Hz'e düşüren devreyi flip-flop'lar ile tasarlayınız.

C) Deneyin yapılışı:

Deneyde kullanılacak elemanlar:

- 7400 Dörtlü 2 girişli NAND
- 7408 Dörtlü 2 girişli AND
- 7402 Dörtlü 2 girişli NOR kapısı
- 74109 İkili JK flip-flop
- 7474 İkili D flip-flop
- 7404 İnvörtör

İşlem adımları:

1) SR tipi tutucu:

Şekil 5.1 ile verilen temel SR tipi tutucu devrelerini; 7402, 7400 ve 7404 kapı devre tümdevrelerini kullanarak ayrı ayrı gerçekleştiriniz. Gerçeklediğiniz her bir devre girişine gerekli lojik giriş değerlerini uygulayarak deney raporundaki 1. adımda verilmiş olan tutucunun doğruluk tablosunu oluşturunuz. Sonuçları deney sorumlusuna gösteriniz.

2) Senkronlanmış SR tutucu (Düzyet tetiklemeli SR Flip-Flop):

7402 ve 7408 tümdevresini kullanarak Şekil 5.2'deki senkronlanmış SR tutucu devresini kurunuz. Devre girişlerine olası lojik girişleri uygulayarak Lojik 0 ve Lojik 1 Enable (E) girişi düzeyleri için deney raporundaki 2. adımda verilmiş olan tutucunun doğruluk tablosunu oluşturunuz. Sonuçları deney sorumlusuna gösteriniz.

3) JK tipi FF:

a) 2 adet JK FF içeren 74109 tümdevresini kullanarak 1 adet JK flip-flop için Şekil 5.10'daki devreyi kurunuz. Devrede K girişi tersi alınarak uygulandığından, 7404 invörtör tümdevresini kullanarak K girişinin tersini aldıktan sonra uygulayınız.

b) Harici Set ve Reset girişlerini sırasıyla 00, 01 ve 10 yaparak deney raporundaki 3. adımda verilmiş olan doğruluk tablosunun "harici girişler aktif" kombinasyonlarına ilişkin FF çıkışlarını çıkışları kaydediniz.

c) Set=1 ve Reset=1 (Harici girişler Pasif) durumunda iken, J ve K girişlerine sırasıyla 00,01,10 ve 11 Lojik değerlerini uygulayarak yükselen kenar pals girişi için elde ettiğiniz sonuçları, deney raporundaki 3. adımda verilen doğruluk tablosuna kaydediniz.

d) FF' un jK girişlerinin değişik değerleri için, harici Set ve Reset Girişlerini 01 ve 10 yaparak FF çıkışlarının değerlerini gözlemleyiniz. Örneğin

FF girişleri herhangi bir değerde iken Set =1, Reset=0 yapıldığında Q=0 oluyor mu (Çıkışın resetlenmesi)? FF girişleri herhangi bir değerde iken Set =0, Reset=1 yapıldığında Q=1 oluyor mu (Çıkışın setlenmesi) ?

4) T tipi FF:

a) Şekil 5.10'daki devreyi bozmadan J ve K girişlerini birbirine kısa devre ederek Şekil 5.11'deki T tipi FF devresini kurunuz. Harici set girişleri pasif durumda olduğu için FF çıkışı sadece T girişi ve saat işareti tarafından etkilenecektir.

b) FF girişine T=0 ve T=1 uygulayarak yükselen kenar pals girişi için Q çıkışını deney raporundaki 4. Adımdaki doğruluk tablosuna kaydediniz. Sonuçları deney sorumlusuna gösteriniz.

5) D tipi FF:

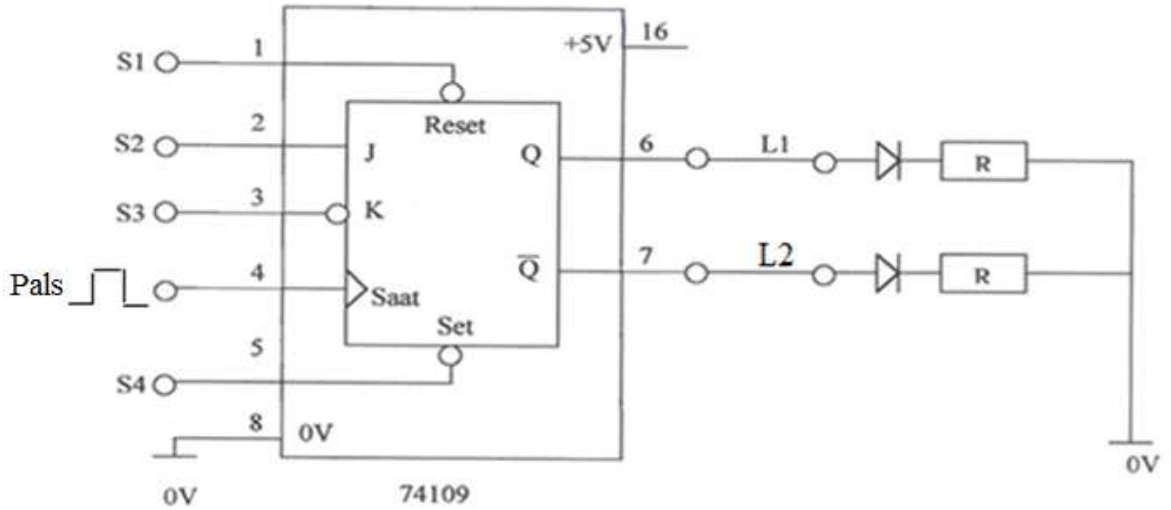
a) Şekil 5.12'deki D tipi FF devresini kurunuz. Harici set girişleri pasif durumda olduğu için FF çıkışı sadece D girişi ve saat işareti tarafından etkilenecektir.

b) FF girişine D=0 ve D=1 uygulayarak yükselen kenar pals girişi için Q çıkışını deney raporundaki 5. Adımdaki doğruluk tablosuna kaydediniz. Sonuçları deney sorumlusuna gösteriniz.

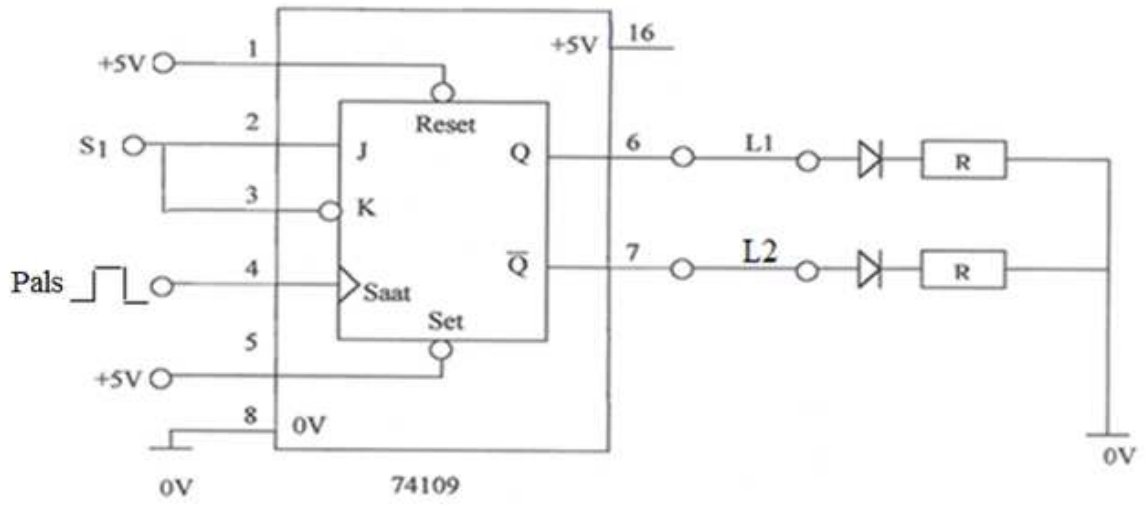
6) Ana-uydu tipi FF:

a) 2 adet flip-flop içeren 7474 tümdevresini ve 7404 invertör tümdevresini kullanarak Şekil 5.13'deki Ana uydu tipi FF devresini kurunuz.

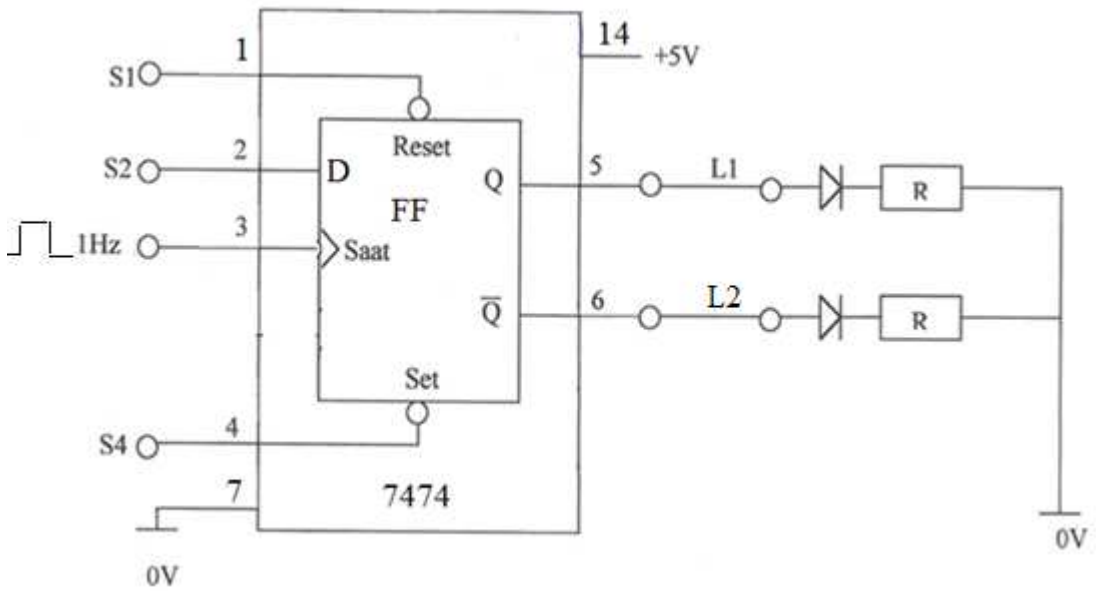
b) Devreye Şekil 5.7.b'deki D ve E girişlerini uygulayarak $D_2=Q_1$ ve Q_2 çıkışının deney raporundaki 6. adımdaki zaman diyagramında çiziniz. Sonuçları deney sorumlusuna gösteriniz.



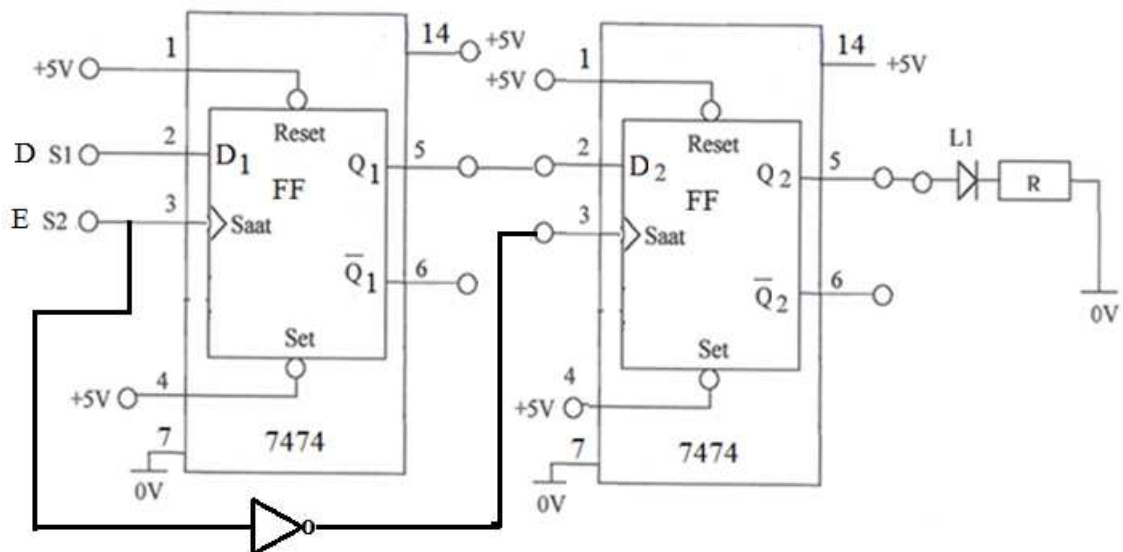
Şekil 5.10 74109 JK tipi Flip Flop devresi



Şekil 5.11 74109 JK tipi Flip Flop devresi



Şekil 5.12 7474 D tipi Flip Flop devresi



Şekil 5.13 Ana Uydu Tipi Tutucu

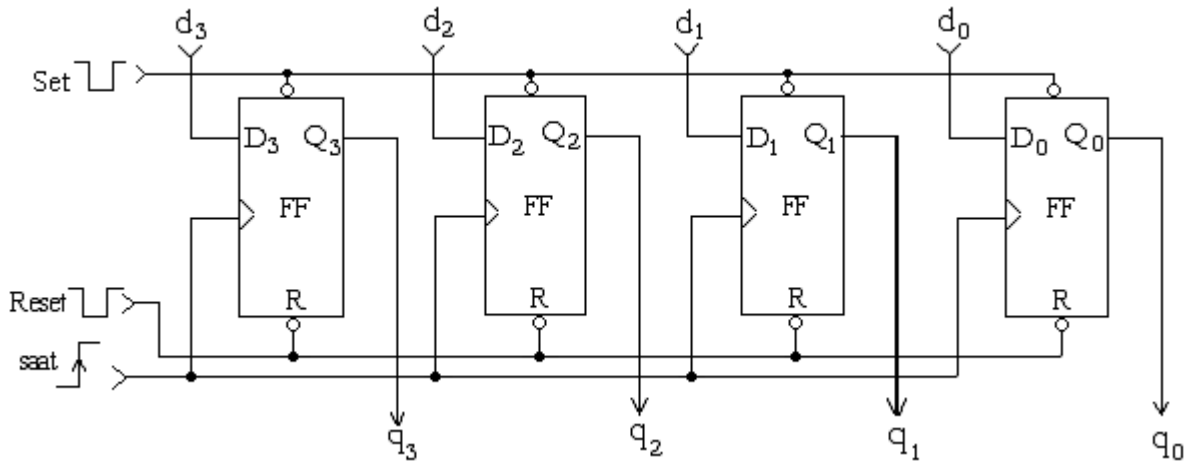
6. DENEY

SAKLAYICILAR (REGISTERS)

A) Genel bilgiler

Saklayıcılar:

Saklayıcı, verinin geçici olarak saklandığı elemanlardır. 4 bit, 8 bit, 32 bit gibi bit düzeyinde ifade edilirler. Saklayıcıda tutulan veri de öteleme, sıfırlama, setleme gibi basit işlemler yapılır. Dolayısıyla bir aritmetik veya mantıksal işlemde parametrelerin saklanması için kullanılır. Yalnız bir saklayıcı, lojik kapı vb. kullanılmaksızın sadece FF'lar kullanılarak tasarlanabilir. Örneğin 4 bitlik yalnız bir senkron saklayıcı aşağıdaki gibi verilebilir. Bu basit saklayıcıya ilişkin data giriş/çıkış tablosu ise Tablo 6.1.'de verilmiştir. Tabloyu Şekil 6.1 için doldurunuz.



Şekil 6.1 4 bitlik basit bir Paralel giriş/Paralel çıkışlı senkron saklayıcı

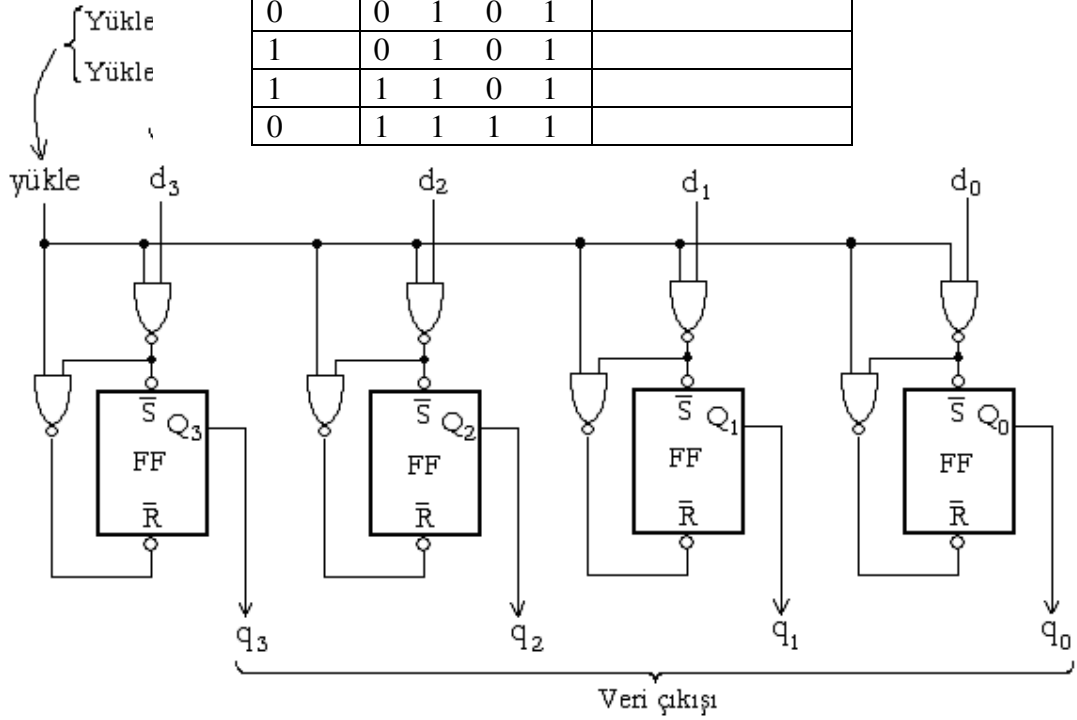
Tablo 6.1. Şekil 6.1' e ilişkin giriş/çıkış data tablosu

Saat	Set	Reset	d ₃	d ₂	d ₁	d ₀	q ₃	q ₂	q ₁	q ₀
↑	1	1	1	0	1	1				
↑	1	1	0	1	1	0				
↑	1	1	1	1	0	1				
X	0	1	0	0	0	0				
X	1	0	1	1	1	1				
X	0	0	0	1	0	1				

Bir saklayıcıda temelde giriş/çıkış uçlarına ek olarak yükle (Load) ve sıfırla (Reset) uçları da bulunur. Aşağıda “yükle” girişine sahip olan 4 bitlik bir asenkron saklayıcı devresi (Şekil 6.2) ve öğrencilerin deneyden önce doldurulması gereken giriş/çıkış data tablosu (Tablo 6.2) verilmiştir.

Tablo 6.2. Şekil 6.2' ye ilişkin giriş/çıkış data tablosu

Yükle	d ₃	d ₂	d ₁	d ₀	q ₃	q ₂	q ₁	q ₀
1	1	0	1	0				
0	0	1	0	1				
1	0	1	0	1				
1	1	1	0	1				
0	1	1	1	1				



Şekil 6.2 4 bitlik yükleme girişli Paralel giriş/Paralel çıkışlı asenkron saklayıcı

Ötelemeli kaydediciler:

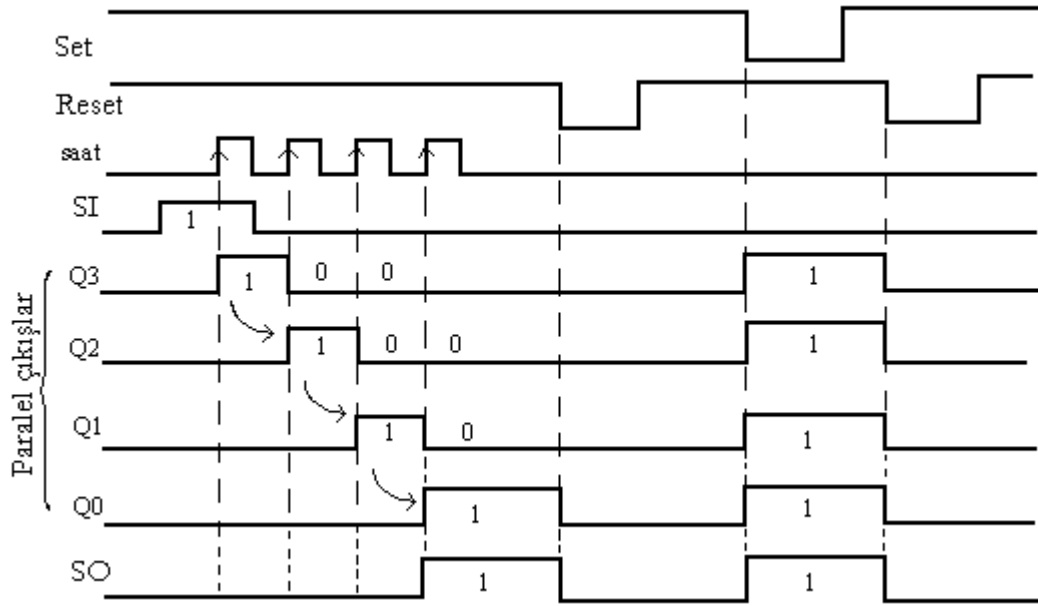
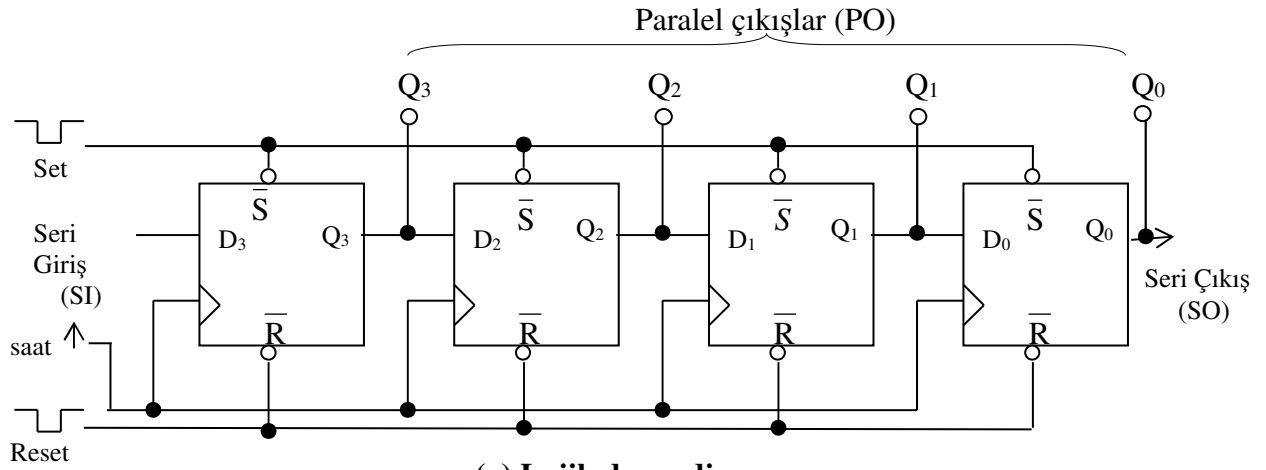
Saklayıcılar veya kaydediciler genelde sakladığı veri üzerinde işlem yapmaz. Amaç veriyi geçici bir süre tutmak ve işlem yapılacak birimlere sunmaktır. Ancak saklanan veriyi bit düzeyinde sağa sola öteleyen saklayıcı türleri vardır. Bu tür saklayıcılara ötelemeli saklayıcı (shift register) denir.

Saklayıcılar verinin giriş ve çıkış şekline göre;

- Paralel giriş / Paralel çıkış (PI / PO)
- Paralel giriş / Seri çıkış (PI / SO)
- Seri giriş / Paralel çıkış (SI / PO)
- Seri giriş / Seri çıkış (SI / SO)

olarak sınıflandırılabilirler.

Paralelin anlamı tüm bitlerin aynı anda gireceği ve çıkacağı, serinin anlamı ise bitlerin teker teker girip çıkacağını gösterir. Seri giriş seri çıkışlı saklayıcılar aynı zamanda ötelemeli saklayıcılar olarak isimlendirilir. Aşağıda Seri-girişli Seri/ Paralel çıkışlı 4 bitlik sağa kaydırmalı kaydedicinin devre şeması, ilk saat periyodunda SI=1 için zamanlama diyagramı verilmiştir. Tablo 6.3'de ise devrenin söz konusu Seri data (SI) girişi için paralel çıkışların (PO) ve seri çıkışın (SO) öğrenci tarafından doldurulacağı giriş çıkış data tablosu verilmiştir. Aslında Tablo 6.3 verilen zamanlama diyagramının farklı bir gösterimidir. Dolayısıyla Tablo 6.3. zamanlama diyagramına bakılarak kolayca doldurulabilir.

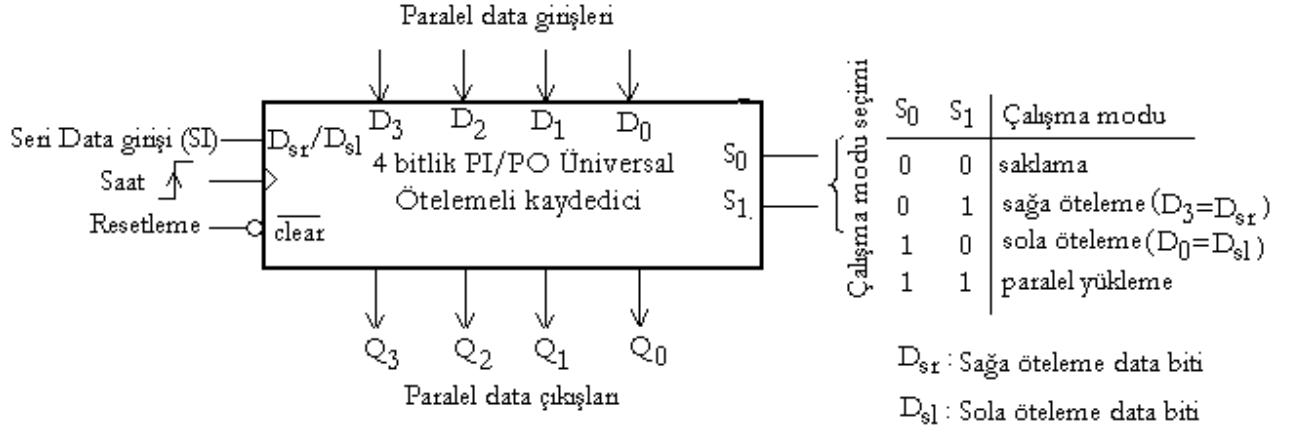


Şekil 6.3 Seri-girişli Seri/ Paralel çıkışlı 4 bitlik sağa kaydırmalı kaydedici

Tablo 6.3. Şekil 6.3.a' ya ilişkin giriş/çıkış data tablosu

Saat	Set	Reset	SI	Q ₃	Q ₂	Q ₁	Q ₀	SO
X	1	0	X					
↑	1	1	1					
↑	1	1	0					
↑	1	1	0					
↑	1	1	0					
X	1	0	X					
X	0	1	X					
X	1	0	X					

Uygulamada universal kaydırmalı kaydediciler yaygın olarak kullanılmaktadır. Örneğin 74194 tümdevresi Seri/Paralel giriş, Seri/Paralel çıkışlı olup her iki yönde kaydırma yapabilen universal bir ötelemeli kaydedicidir. Aşağıda 74194 universal ötelemeli kaydedici devresi blok gösterimi verilmiştir. Ayrıntılı doğruluk tablosu ise föyün sonunda verilmiştir.



Şekil 6.4 74194 üniversal ötelemeli kaydedici blok gösterimi

B) Deney Öncesi Hazırlıklar

- 1) Deneyde kullanılacak elemanlara ilişkin bilgiyi katalog ve kitaplardan ediniz.
- 2) Deneyin yapılışı bölümünde gerçekleyeceğiniz devrelerin çalışma prensibini ve tasarımını inceleyiniz.

C) Deneyin yapılışı

Deneyde kullanılacak elemanlar:

- 2x7474 İkili D-tipi flip-flop
- 7400 Dörtlü 2 girişli NAND kapısı
- 1x74194 Universal Ötelemeli kaydedici

İşlem adımları:

1) a) Şekil 6.1'deki 4 bitlik basit asenkron saklayıcı devresini 74LS74 tümdevresini kullanarak kurunuz. Set ($\bar{S}$) ve Reset ($\bar{R}$) harici girişlerini Lojik 1'e çekiniz.

b) Kurduğunuz devrenin Paralel data ve harici data girişlerine Tablo 1.'deki dataları uygulayarak, saat işaretinden uygulanan pals girişleri için Paralel çıkış değerlerini Led'ler üzerinden gözleyiniz. Deney raporundaki 1. Adımda verilen tabloya kaydediniz.

2) a) Şekil 6.2'deki 4 bitlik yükleme girişli Paralel giriş/Paralel çıkışlı asenkron saklayıcı devresini 1 adet 7474 ve 1 adet 7400 tümdevrelerini kullanarak yalnızca **2 Bit** için kurunuz.

b) Kurduğunuz devrenin Paralel data ve yükleme girişlerine 2 bit için Tablo 6.2 'deki dataları uygulayarak, Paralel çıkış değerlerini Led'ler üzerinden gözleyiniz. Deney raporundaki 2. Adımda verilen tabloya kaydediniz.

3) a) Şekil 6.3.a'daki 4 bitlik Seri-girişli Seri/ Paralel çıkışlı sağa kaydırmalı kaydedici devresini 7474 tümdevresini kullanarak kurunuz.

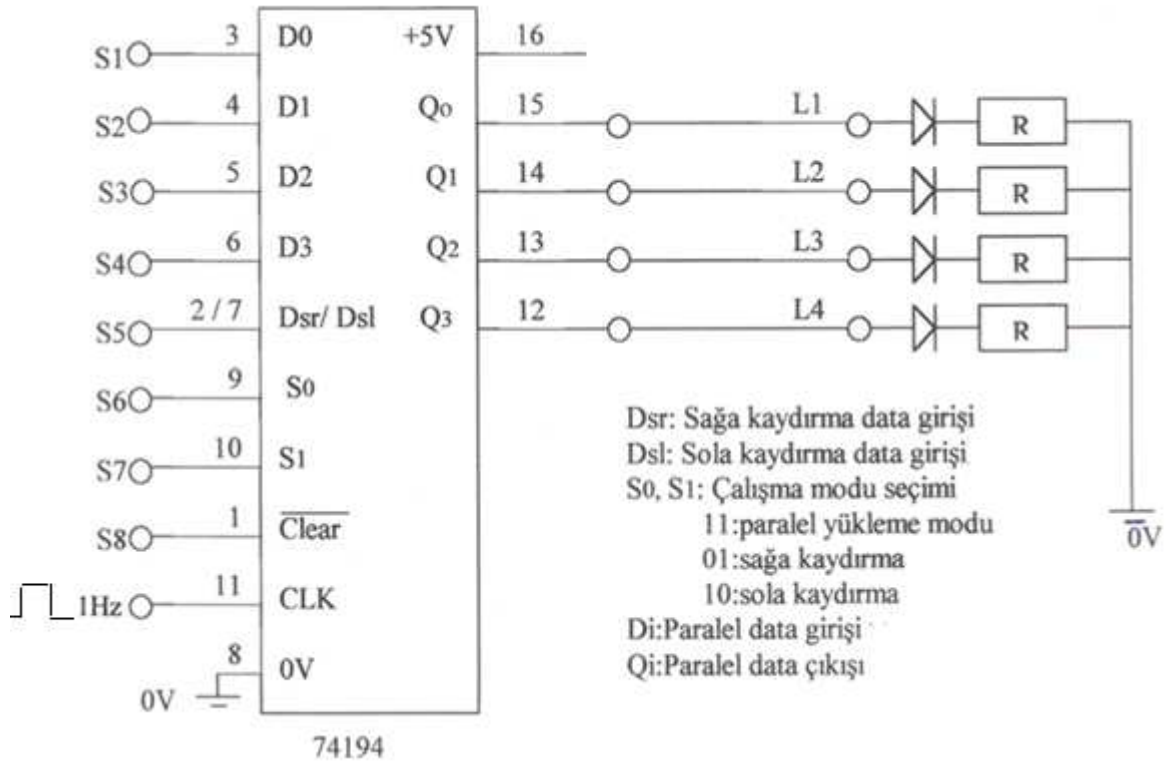
b) Kurduğunuz devrenin Seri data (SI) girişine ve harici data girişlerine Tablo 6.3.'deki dataları uygulayarak, saat girişi için Paralel çıkış (PO) ve Seri çıkış (SO) değerlerini Led'ler üzerinden gözleyiniz. Deney raporundaki 3. Adımda verilen tabloya kaydediniz.

4) Şekil 6.5'deki üniversal ötelemeli kaydedici devresini kurunuz. Doğruluk tablosunu inceleyiniz.

a) S0 ve S1 çalışma modu seçme girişlerine S0=1 ve S0=1 uygulayarak paralel data yükleme modunu seçiniz. Data girişlerine değişik sayısal değerler uygulayarak. 1 Hz'lik saat girişi için paralel data çıkışlarını gözleyiniz ve uyguladığınız data girişleri ile karşılaştırınız.

b) S0=0 ve S1=1 uygulayarak sağa kaydırma modunu seçiniz. Dsr (sağa kaydırma data girişi) girişine Lojik 1 ve Lojik 0 değerleri uygulayarak,1 Hz saat girişi için data çıkışlarını gözleyiniz.

c) S0=1 ve S1=0 uygulayarak sola kaydırma modunu seçiniz. Dsl (Sola kaydırma data girişi) girişine Lojik1 ve Lojik 0 değerleri uygulayarak, 1 Hz saat girişi için data çıkışlarını gözleyiniz. Sonuçları deney raporundaki 4. Adım'a kaydediniz.



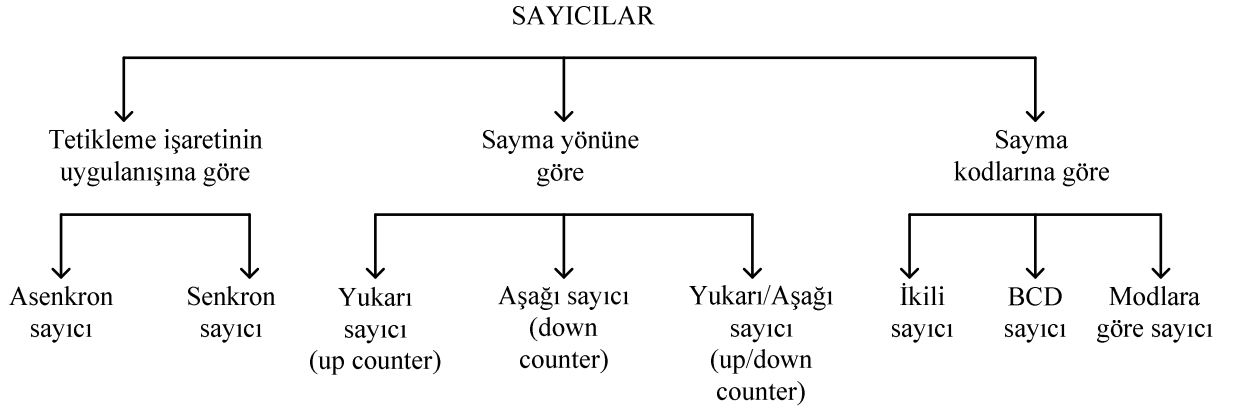
Şekil 6.5 Üniversal 4 bitlik ötelemeli kaydedici

7. DENEY

SAYICILAR (COUNTERS)

A) Genel bilgiler

Sayıcılar, saklayıcılarda olduğu gibi n bitlik bilgi tutmanın yanı sıra, her bir saat çevriminde tuttıkları ikili sayıyı belirli bir düzende değiştiren (arttıran veya azaltan) elemanlardır. Örneğin 4 bitlik yukarı sayıcı denildiğinde, çıkışındaki değeri 0'dan başlayıp 1'er artımla 15'e kadar artıran sayıcı akla gelmektedir. Bir sayıcı aksi söylenmedikçe ikili (binary) ve yukarı sayıcı (up counter) olarak varsayılır. Sayıcılar esnek bir tasarıma imkân vermesi ve tasarım kolaylığı sağlaması nedeniyle çeşitli türleri geliştirilmiştir. Sayıcılar aşağıdaki gibi sınıflandırılabilirler.



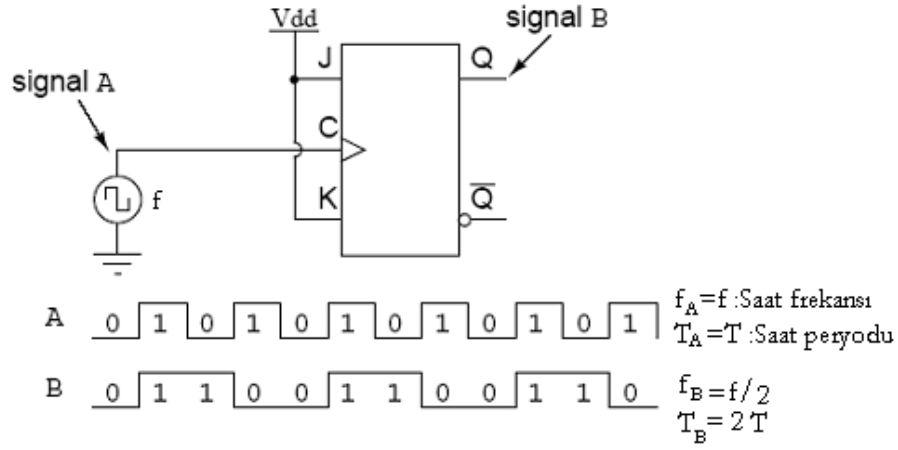
Bir sayıcı yukarıdaki özelliklerden birden fazlasını içerebilir.

Tasarımcı amacına uygun istediği özellikteki bir sayıcıyı tasarlayabilir. Ancak uygulamada tasarımcının hazır kullanması amacıyla standart sayıcılar üretilmiştir. Tasarımcı bu standart sayıcıları kullanarak kendi devresini tasarlayabilir. Söz konusu bu standart sayıcılar şu şekilde özetlenebilir.

- İkili sayıcılar
- Ondalık / BCD sayıcılar
- Gray-kod sayıcılar
- Halka sayıcı
- Jonson sayıcı
- Modulo sayıcı
- Dalgacık sayıcı (Ripple sayıcı)

Asenkron Sayıcılar:

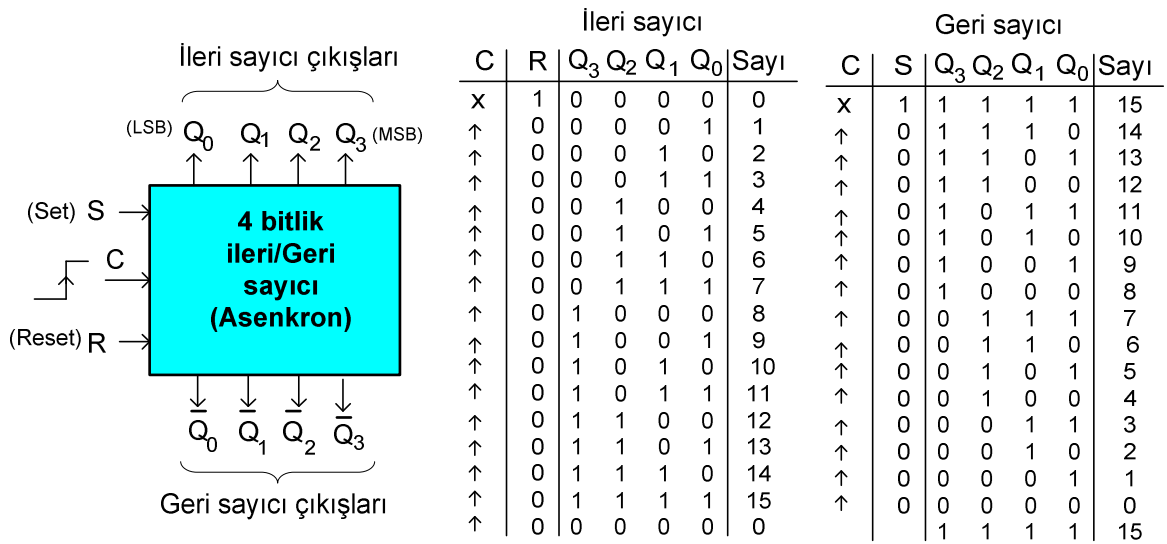
Asenkron sayıcılar birbirine kaskat olarak bağlanmış olan FF'lerden oluşur. Asenkron sayıcıdaki her bir FF frekans bölücü olarak çalışır. Yani saat girişini 2'ye böler. Şekil 7.1'de T tipi FF'un frekans bölücü olarak kullanılışı verilmiştir.



Şekil 7.1 T tipi FF'un frekans bölücü olarak çalışması

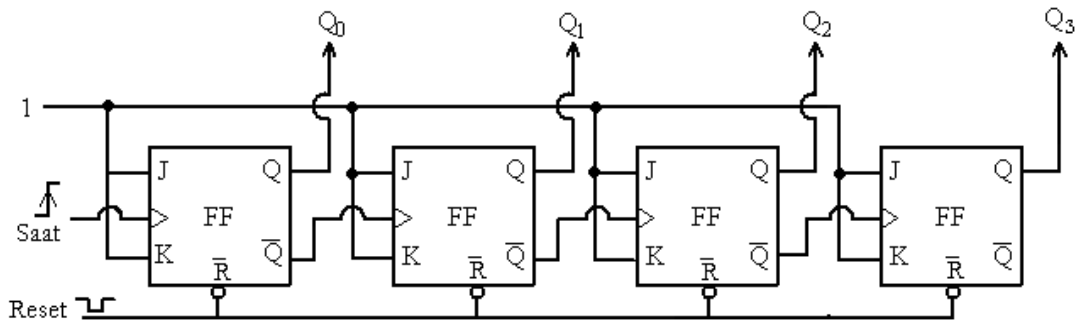
Asenkron İleri ve Geri sayıcı:

Aşağıda 4 bitlik bir asenkron ileri /geri sayıcının blok gösterimi ve doğruluk tabloları verilmiştir.

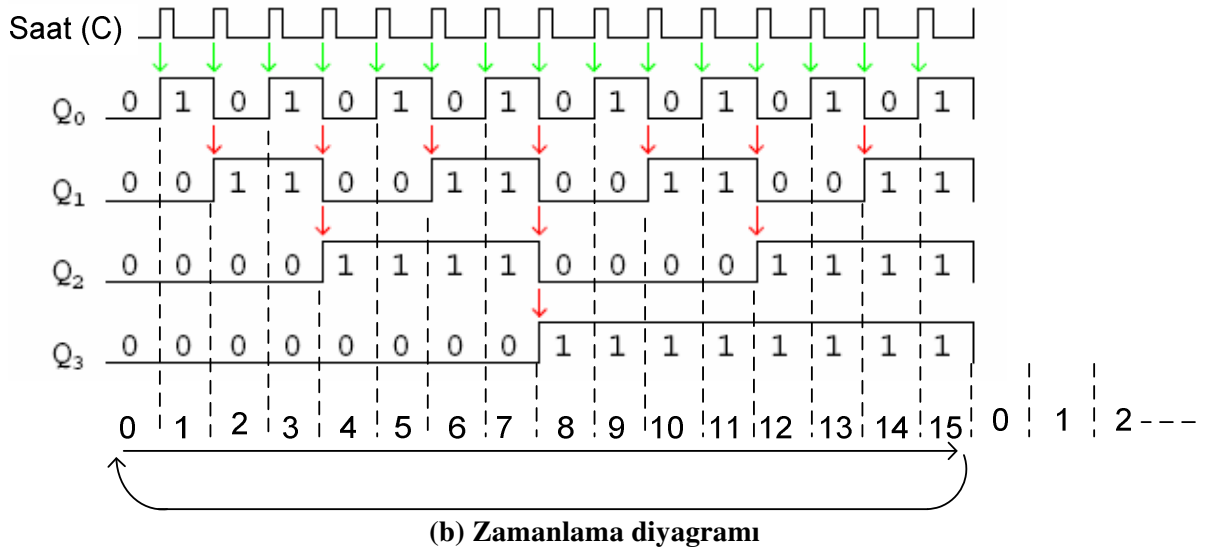


Doğruluk tablosu

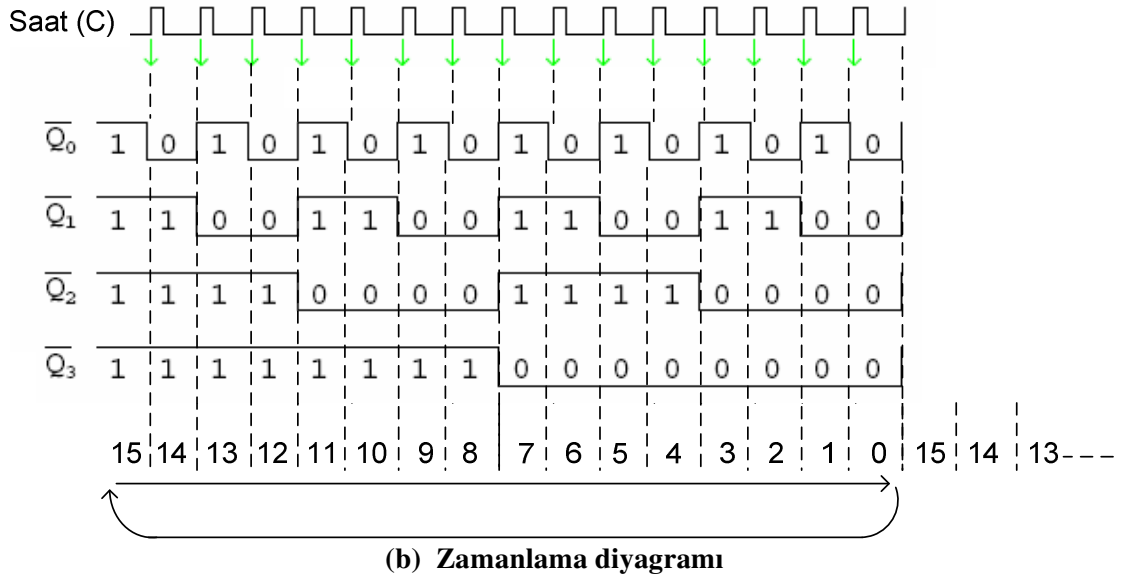
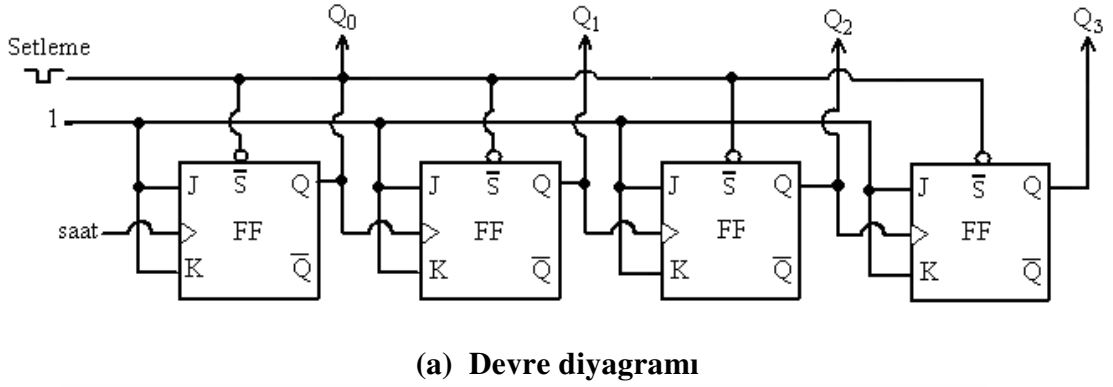
Şekil 7.2 İleri/Geri sayıcı blok gösterimi ve doğruluk tablosu



(a) Devre diyagramı

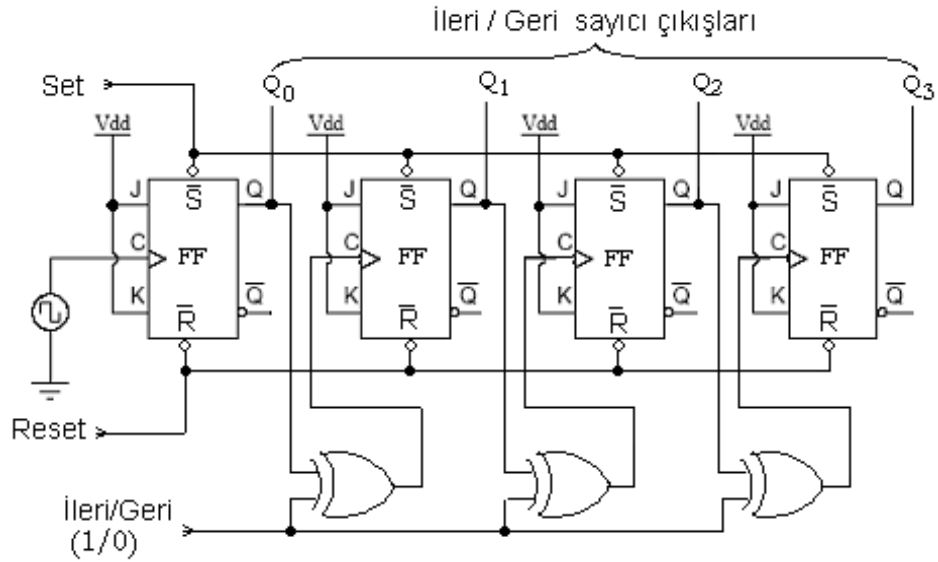


Şekil 7.3 4 bitlik asenkron ileri sayıcı devresi



Şekil 7.4 4 bitlik asenkron geri sayıcı

Şekil 7.3 ile Şekil 7.4'ün yegane farkı saat girişlerinin bağlantısıdır. Yani Saat girişleri geri sayıcıda Q çıkışlarından, ileri sayıcıda ise $\bar{Q}$ çıkışlarından beslenmektedir. Dolayısıyla Ex-Or kapısı kullanarak tek bir sayıcı devresi ile asenkron ileri/geri sayıcıyı gerçekleştirebiliriz (Şekil 7.5).



Şekil 7.5 4 bitlik asenkron ileri/geri sayıcı

Asenkron sayıcıların programlanması:

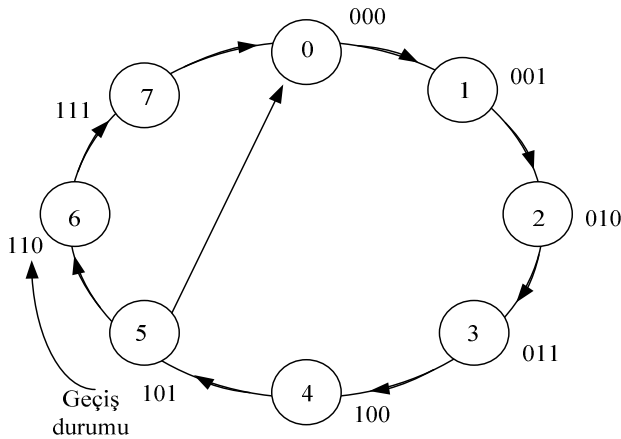
Buraya kadar anlatılan sayıcı devreleri 2^n değerine kadar saymaktadır. Oysa biz sayıcıyı istediğimiz yere kadar saydırmak isteyebiliriz. Sayıcının tekrarlamalı biçiminde saymış olduğu sayı adedine sayıcının modu denir. Örneğin MOD-3 sayıcı: 0,1 ve 2 olmak üzere 3 adet sayı sayar. İleri sayıcıda sayıcıyı istediğimiz sayıya kadar saydırmak için sayıcı çıkışı saymasını istediğimiz son sayıdan bir sonraki sayıya geldiğinde sayıcıyı sıfırlayarak başa döndürmemiz gerekiyor. Geri sayıcıda ise setleyerek maksimum değere getirmemiz gerekiyor. Bu sıfırlama/setleme işlemi için 2 yöntem vardır.

a) Dolaylı sıfırlamalı/setlemeli asenkron sayıcılar

b) Doğrudan sıfırlamalı/ setlemeli asenkron sayıcılar

Dolaylı resetlemeli asenkron sayıcıya bir örnek verelim.

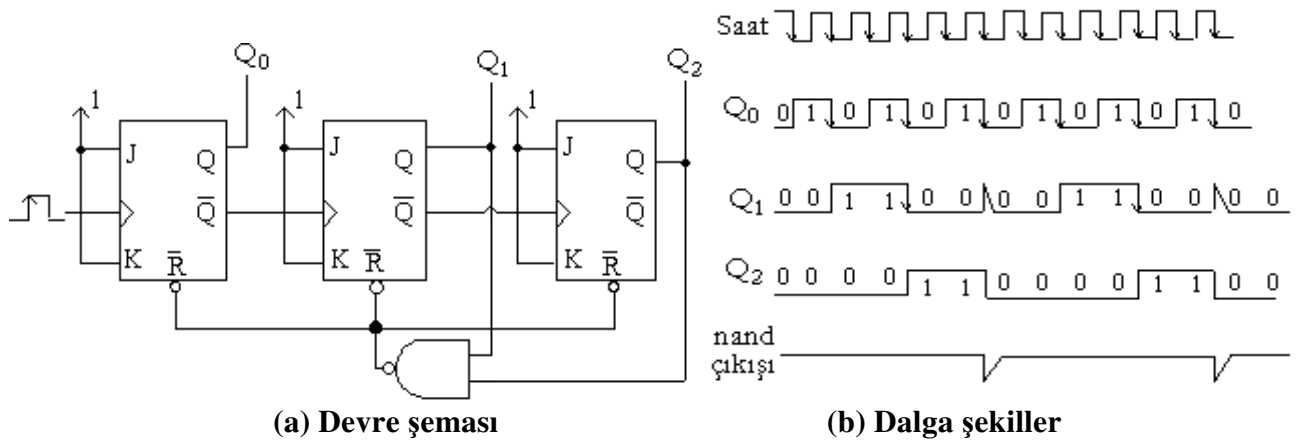
Örnek 1: MOD-6 asenkron ileri sayıcısını tasarlayınız.



Durum diyagramı

Desimal	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0

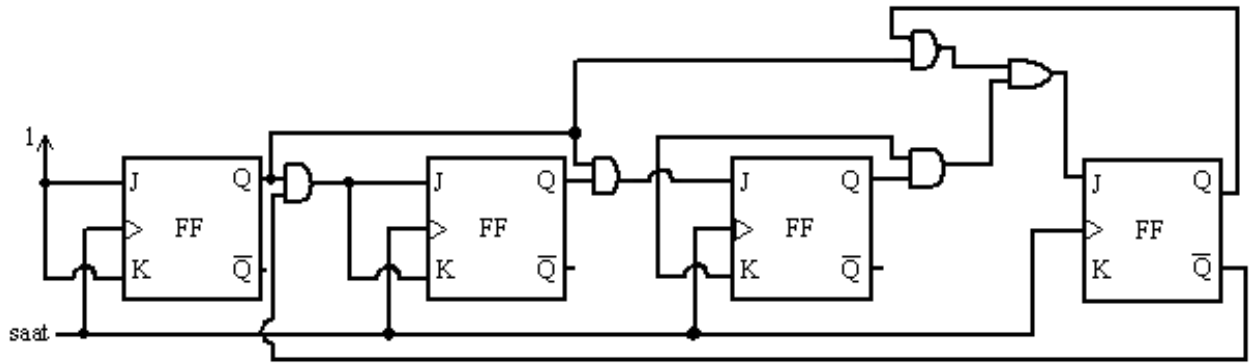
Sayı sıfırlamak için
gerekli geçici durum
Sayma düzeni



Şekil 7.6 MOD-6 asenkron ileri sayıcı

Senkron Sayıcılar: Senkron sayıcılar asenkron sayıcılar ile aynı işlevi görürler. Dolayısıyla giriş çıkış dalga şekilleri aynıdır. Sadece bağlantı değişikliği söz konusudur. En önemli fark senkron sayıcılarda kullanılan FF'ların saat girişlerinin ortak olmasıdır. Şekil 7.7'de 4 bitlik senkron ileri sayıcı devresi verilmiştir.

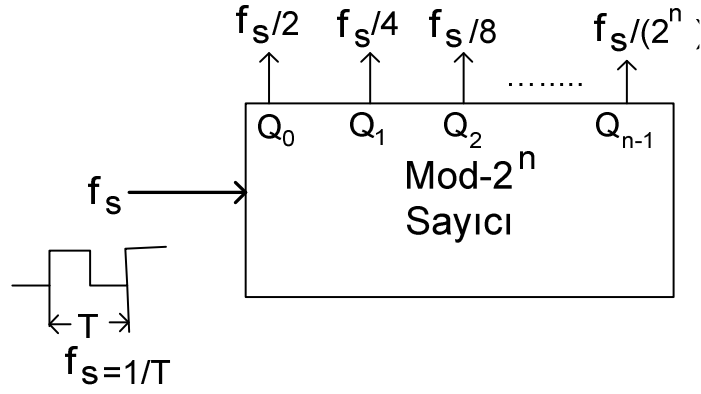
BCD sayıcılar: 0'dan 9'a kadar sayan MOD-10 sayıcılar BCD sayıcılardır. İleri veya geri BCD sayıcıları, 4 bitlik senkron veya asenkron sayıcıları programlayarak gerçekleştirebiliriz. Şekil 7.7'de MOD-10 senkron ileri sayıcı devresi verilmiştir.



Şekil 7.7 MOD-10 senkron ileri sayıcı

Frekans bölücüler:

Sayıcılar frekans bölücü olarak kullanılabilir. Aşağıdaki şekilde görüldüğü gibi MOD- 2^n sayıcısı ile giriş frekansını 2^n 'e bölebiliriz. Örneğin 3 bitlik MOD-8 bir sayıcı ile saat frekansı 8'e ($f_s/8$) bölünür.



Şekil 7.8 İkili sayıcı çıkışlarının frekans bölücü olarak kullanılması

B) Deney Öncesi Hazırlıklar

- 1) Deneyde kullanılacak olan programlanabilir 74193 ikili ileri/geri sayıcının iç yapısını inceleyiniz.
- 2) Deneyde kullanılacak olan 7447 BCD/7-parçalı gösterge kod çözücü tümdevresinin iç yapısını ve doğruluk tablosunu inceleyiniz.
- 3) Deneyde kullanılacak olan ikili sistemdeki sayıları ondalık sayı sisteminde gösteren ortak anot 7-parçalı göstergenin iç yapısını inceleyerek çalışmasını öğreniniz.

C) Deneyin yapılışı

Deneyde kullanılacak elemanlar:

- 1) 2x74109 JK FF
- 2) 7408 VE kapısı
- 3) 7432 VEYA kapısı
- 4) 74193 programlanabilir ikili ileri/geri sayıcı,
- 5) 7447 BCD/7-parçalı gösterge kod çözücü
- 6) Ortak anot 7-parçalı gösterge

İşlem adımları:

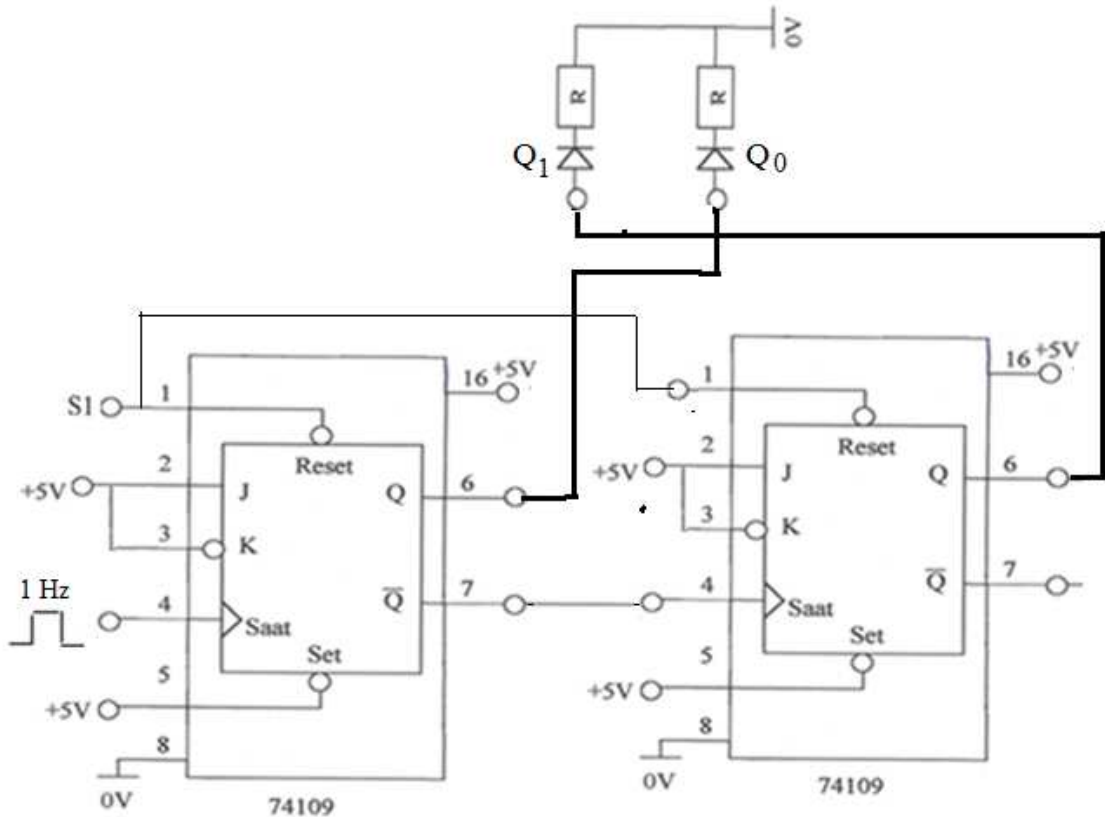
- 1) 2 adet JK tipi FF içeren 74109 tümdevrelerini kullanarak şekil 7.9'daki 2 bitlik asenkron ileri sayıcı devresini kurunuz.
 - a) 1 Hz'lik saat girişi için sayıcı çıkışlarını deney setindeki Led'leri kullanarak gözleyiniz.
 - b) FF'un harici Reset girişi lojik 1 (pasif) durumdadır. Sayıcı saymakta iken harici reset girişine kısa süreli lojik 0 palsi uygulayarak sayıcı çıkışlarının davranışlarını gözlemleyiniz. Devrenin çalışmasını deney sorumlusuna gösteriniz.
- 2) Bir önceki adımda kurmuş olduğunuz sayıcı devresini bozmadan, sadece saat girişi ve reset bağlantılarını değiştirerek Şekil 7.10'daki 2 bitlik geri sayıcı devresini kurunuz.
 - a) 1 Hz'lik saat girişi için sayıcı çıkışlarını deney setindeki Led'leri kullanarak gözleyiniz.

b) FF'un harici Set girişı lojik 1 (pasif) durumdadır. Sayıcı saymakta iken harici set girişine kısa süreli lojik 0 palsi uygulayarak sayıcı çıkışlarının davranışlarını gözlemleyiniz. Devrenin çalışmasını deney sorumlusuna gösteriniz.

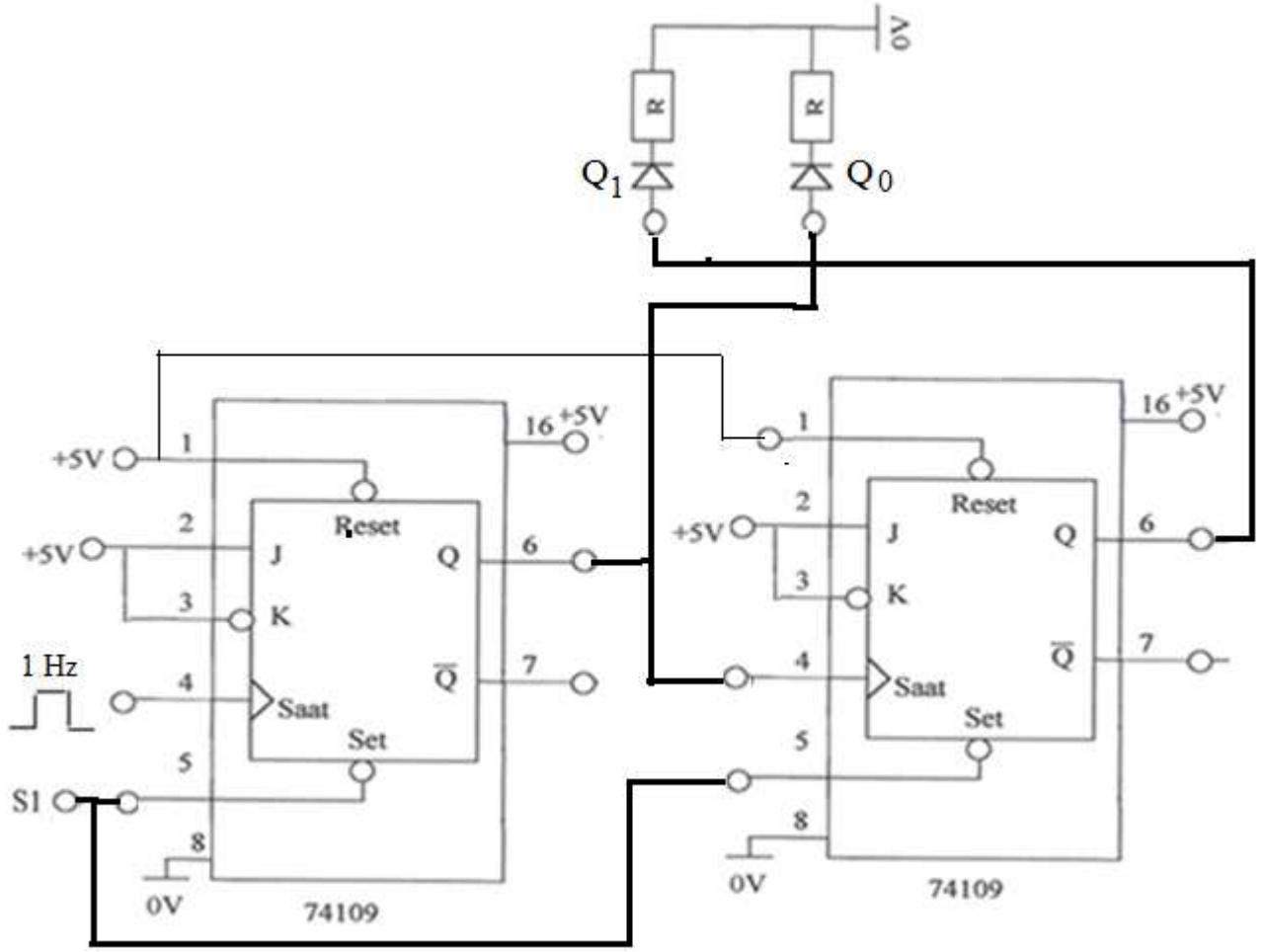
3) Şekil 7.11 ile verilen MOD-6 asenkron ileri sayıcı devresini kurunuz. Sayıcı çıkışlarını deney setindeki Led'ler üzerinden gözleyerek Şekil 7.6.b'deki dalga şekilleri ile karşılaştırınız.

4) 74193 ve 7447 tümdevrelerini kullanarak Şekil 7.12'de verilmiş olan programlanabilir ikili ileri/geri sayıcı devresini kurunuz. Aşağıdaki adımları kullanarak deneyi sürdürünüz.

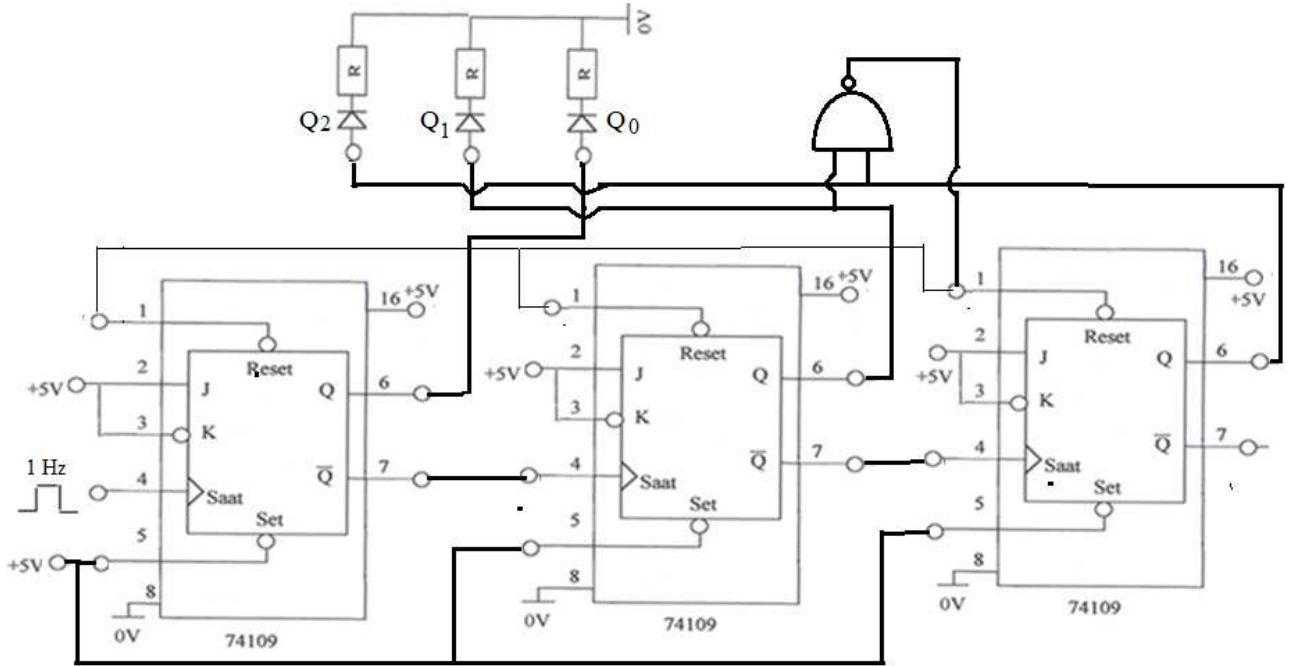
- Sayıcının hangi sayıdan saymaya başlamasını istiyorsanız, bu sayıyı S1, S2, S3 ve S4 anahtarları ile ikili olarak A, B, C ve D programlama girişlerine uygulayınız ve load girişine kısa süreli Lojik 0 palsi uygulayarak bu sayıyı FF'lara yükleyiniz.
- 1 sn kare dalgayı sayıcının önce ileri sayma saat girişlerine sonra geri sayma saat girişine bağlayarak, sayıcı çıkışını birer birer arttırınız ve azaltınız. İkili sayıcı çıkışlarını desimal sayı olarak 7 parçalı gösterge üzerinden gözleyiniz.
- Sayıcı ileri veya geri yönde sayarken, herhangi bir anda S5 Reset girişı anahtarı ile sayıcıyı kısa süreli resetleyiniz. Sonuçları deney yürütücüsüne gösteriniz.



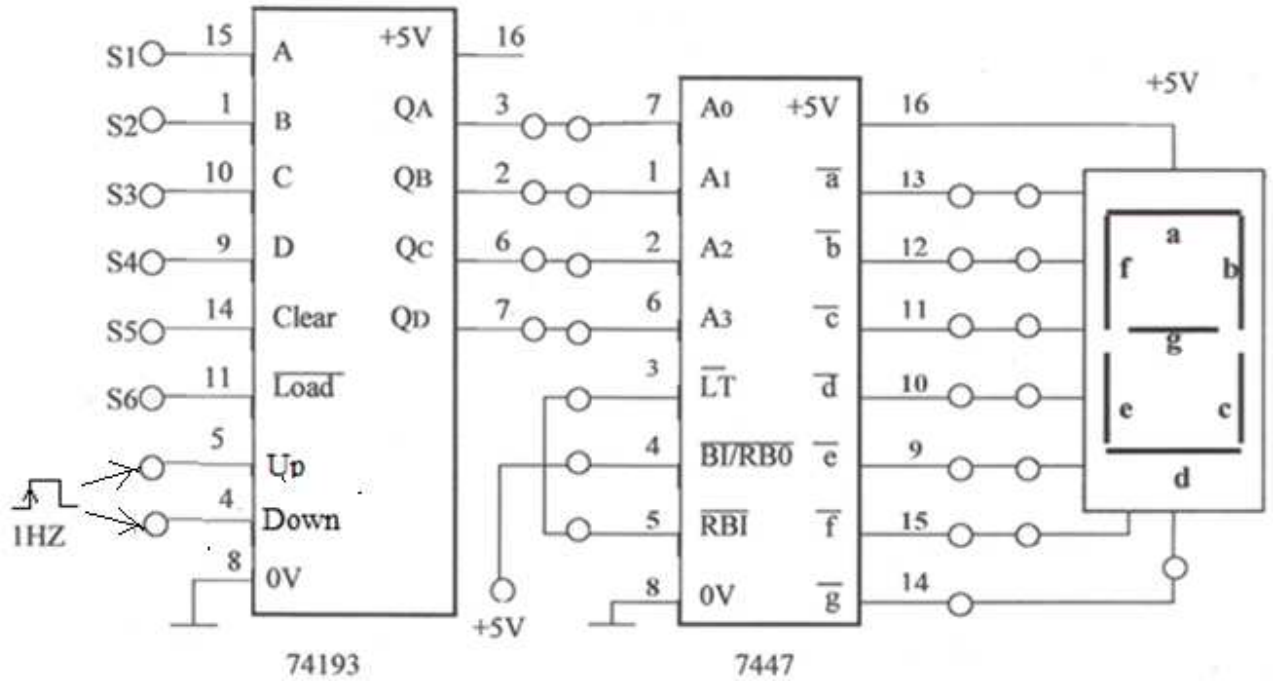
Şekil 7.9. İki bitlik asenkron ileri sayıcı



Şekil 7.10. İki bitlik asenkron geri sayıcı



Şekil 7.11. MOD-6 asenkron ileri sayıcı



Şekil 7.12 Programlanabilir ileri/geri ikili sayıcı devresi(7-parçalı Display ile)

D) Deney Öncesi Hazırlık

- 2) Şekil 7.9'deki devrenin ileri sayma veya geri sayma saat girişine 100 KHz'lik bir saat girişi uygularsak 7-parçalı displayda hangi sayıyı görürsünüz. Neden?
- 3) Senkron sayıcılar ile asenkron sayıcılar arasında ne fark vardır.
- 4) 128 Hz'lik saat işaretinden 2 Hz'lik bir işaret elde ediniz.